

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-341725

(43)Date of publication of application : 24.12.1993

(51)Int.Cl.	G09G	3/20
	G06F	3/147
	G09G	5/00
	G09G	5/12
	G09G	5/18

(21)Application number : 04-149684

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.06.1992

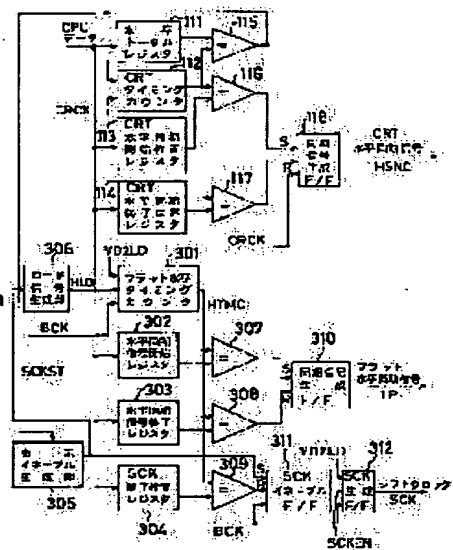
(72)Inventor : HIJIKATA KEIJIRO

(54) DISPLAY CONTROL DEVICE

(57)Abstract:

PURPOSE: To enable display timing control adapted to various flat panel displays by permitting to arbitrarily set the timing of a horizontal synchronizing signal and a shift clock.

CONSTITUTION: A generation position and stop position of a horizontal synchronizing signal LP for a flat panel display are controlled by timing information set in a horizontal synchronizing signal start position register 302 and a horizontal synchronizing signal finish position register 303, and a stop position of a shift clock signal SCK is controlled by timing information set in a shift clock stop position register 304. Therefore, timing of the horizontal synchronizing signal LP and the shift clock SCK can be arbitrarily set by changing a setting value of these register.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-341725

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/20	Z	8729-5G		
G 0 6 F 3/147	F	7165-5B		
G 0 9 G 5/00	Z	8121-5G		
5/12		8121-5G		
5/18		8121-5G		

審査請求 未請求 請求項の数1(全16頁)

(21)出願番号 特願平4-149684

(22)出願日 平成4年(1992)6月9日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 土方 慶二郎

東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内

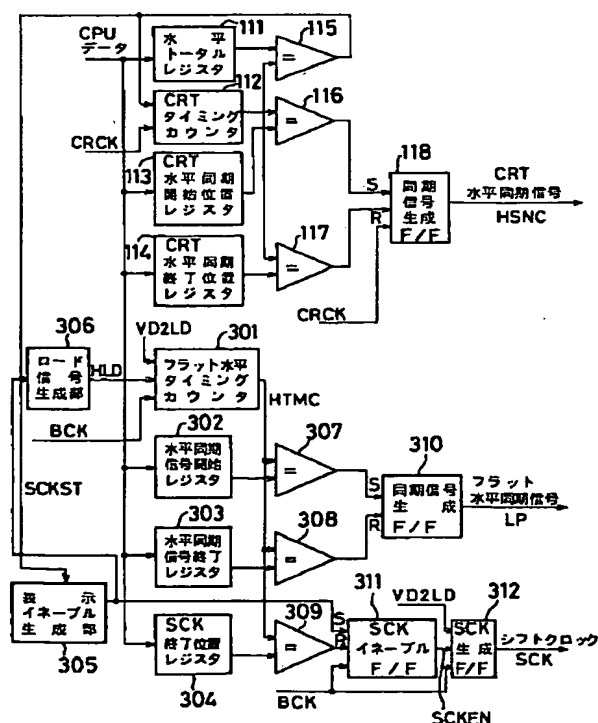
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 表示制御装置

(57)【要約】

【目的】 水平同期信号およびシフトクロックのタイミングを任意に設定できるようにし、種々のフラットパネルディスプレイに適合した表示タイミング制御を行なう。

【構成】 フラットパネルディスプレイ40用の水平同期信号LPは水平同期信号開始位置レジスタ302および水平同期信号終了位置レジスタ303に設定されたタイミング情報によってその発生位置および停止位置が制御され、またシフトクロック信号SCKはシフトクロック終了位置レジスタ304に設定されたタイミング情報によってその停止位置が制御される。このため、これらレジスタの設定値を変えることによって水平同期信号LPおよびシフトクロックSCKのタイミングを任意に設定できる。



(2)

【特許請求の範囲】

【請求項1】 フラットパネルディスプレイを備えたポータブルコンピュータに設けられ、前記フラットパネルディスプレイの表示タイミングを制御する表示制御装置において、

前記フラットパネルディスプレイの水平走査タイミングをドット単位でカウントするカウンタ回路と、

前記フラットパネルディスプレイに供給される水平同期信号の発生および停止位置を示すタイミング情報が前記ポータブルコンピュータのCPUによって設定される第1レジスタと、

この第1レジスタに設定されたタイミング情報および前記カウンタ回路によってカウントされたカウント値に従って、前記水平同期信号の発生および停止タイミングを制御する水平同期信号生成回路と、

前記フラットパネルディスプレイに供給されるシフトクロック信号の停止位置を示すタイミング情報が前記ポータブルコンピュータのCPUによって設定される第2レジスタと、

前記シフトクロック信号を所定の周期で順次発生すると共に、前記第2レジスタに設定されたタイミング情報および前記カウンタ回路によってカウントされたカウント値に従って前記シフトクロック信号の停止タイミングを制御するシフトクロック生成回路とを具備することを特徴とする表示制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は表示制御装置に関し、特に種々のフラットパネルディスプレイの表示タイミングを制御する表示制御装置に関する。

【0002】

【従来の技術】 近年、携帯可能なラップトップタイプまたはノートタイプのポータブルコンピュータが種々開発されている。

【0003】 この種の典型的なポータブルコンピュータは、例えばプラズマディスプレイや液晶ディスプレイのようなフラットパネルディスプレイを標準装備している。このフラットパネルディスプレイは、コンピュータ本体に対して閉塞位置と解放位置間の範囲を回動自在に設けられている。フラットパネルディスプレイが閉塞位置に設定された場合、そのフラットパネルディスプレイはコンピュータ本体と一体のキーボードを覆うように位置設定され、これによりコンピュータは携帯し易くなる。このため、フラットパネルディスプレイは、その携帯性を向上させる点でポータブルコンピュータに好適である。

【0004】 さらに、最近のポータブルコンピュータは、CRTディスプレイも必要に応じて接続できるように、CRTディスプレイへのビデオ出力端子を備えている。CRTディスプレイはデスクトップタイプのパーソ

2

ナルコンピュータのモニタとして従来より広く使用されているので、CRTディスプレイを対象とした多くのアプリケーションプログラムが開発されている。このため、CRTディスプレイを使用できるポータブルコンピュータは、既存のソフトウェア資源を有効に利用することができ、デスクトップタイプのパーソナルコンピュータと同様の運用を行なうことができる。この種のポータブルコンピュータの従来の表示制御装置は、図6に示すような表示タイミング制御回路を備えている。

【0005】 図6の表示タイミング制御回路は、CRTディスプレイ、1枚のパネルから構成されるフラットパネルディスプレイ（以下、FLT1Sと称する）、および上画面と下画面にそれぞれ対応した2枚のパネルから構成されるフラットパネルディスプレイ（以下、FLT2Sと称する）を制御対象とするものであり、それぞれに適した3種類の水平同期信号を生成するための回路を備えている。

【0006】 CRTディスプレイ用の水平同期信号は、水平トータルレジスタ111、CRT水平タイミングカウンタ112、CRT水平同期開始位置レジスタ113、CRT水平同期終了位置レジスタ114、コンパレータ115～117、および水平同期信号生成フリップフロップ118によって、次のように生成される。

【0007】 データ表示は、水平方向に左から右に走査しながら行われる。CRTディスプレイの場合、水平方向の文字数のカウントは、CRT水平タイミングカウンタ112で行われ、文字単位クロック（CRCK）によりカウントアップする。このCRT水平タイミングカウンタ112の値がCRT水平同期開始位置レジスタ113にBIOSにより設定された値に等しくなると、コンパレータが“1”を出力して、次のCRCKでCRT水平同期信号生成フリップフロップ118をセットし、CRTに出力する。更に、CRT水平タイミングカウンタ112がカウントアップを続け、CRT水平同期終了位置レジスタ114にBIOSによって設定された値と等しくなると、コンパレータ117が“1”を出力して次のCRCKでCRT水平同期信号生成フリップフロップ118をリセットし、これにより水平同期信号は停止される。また、CRT水平タイミングカウンタ112は、そのカウンタ値が水平トータルレジスタ111にBIOSにより設定された水平総文字数と一致した時にコンパレータ115の“1”出力によって、初期値にリセットされる。

【0008】 FLT1Sの水平同期信号は、FLT1S水平同期開始位置レジスタ211、FLT1S水平同期幅レジスタ212、表示イネーブル信号生成回路213、FLT1S同期信号生成カウンタ214によって、次のように生成される。

【0009】 FLT1Sの場合、表示イネーブル信号生成回路3で生成された表示イネーブル信号が切れたとこ

(3)

ろを基準としてCLOCKに同期したカウントがFLTS同期信号生成カウンタ214によって開始され、これによってBIOSが設定したFLTS水平同期信号開始位置レジスタ211の値からFLTS水平同期信号幅レジスタ212の値までの幅をもつFLTS用水平同期信号が生成され、それがセクタ216に送られる。ポータブルコンピュータに装備されているフラットパネルディスプレイがFLTSの時は、FLTS用水平同期信号がセクタ216によって選択され、FLTSのフラットパネルディスプレイに出力される。FLTSの水平同期信号は、表示イネーブル信号生成回路213、およびFLTS同期信号生成カウンタ215によって、次のように生成される。

【0010】FLTSの場合、表示イネーブル信号生成回路213で生成された表示イネーブル信号が切れたところを基準として基本クロックに同期したカウントがFLTS同期信号生成カウンタ215によって開始され、これによってその基準点からFLTS同期信号生成カウンタ215内部でハード的に固定された値までの幅をもつFLTS用の水平同期信号が生成される。ポータブルコンピュータに装備されているフラットパネルディスプレイがFLTSの時は、FLTS用水平同期信号がセクタ216によって選択され、FLTSのフラットパネルディスプレイに出力される。

【0011】また、この表示タイミング制御回路には、フラットパネルディスプレイに出力されるシフトクロックSCKを生成するために、シフトクロック生成回路217およびシフトクロック遅延回路218が設けられている。このシフトクロックSCKは、フラットパネルディスプレイ内のシフトレジスタに表示データをシフトして取り込むための同期信号として使用される。

【0012】表示イネーブル信号生成回路213から表示イネーブル信号が発生されている期間においては、シフトクロック生成回路7は、次の表示ラインに対応する1ライン分の表示データをフラットパネルディスプレイ内のシフトレジスタに取り込むために、基本クロックに基づいてシフトクロックSCKを順次生成して出力する。

【0013】このようなフラットパネルディスプレイ用のシフトクロックSCKは、表示イネーブル信号が切れて非表示期間になってからも、シフトクロック遅延回路8によって数クロック余分に出力される。これは、フラットパネルディスプレイ内の回路動作の遅延に合わせるためである。この回路動作の遅延には、例えば次のような場合に生じる。

【0014】すなわち、最近のフラットパネルディスプレイには、多階調/多色表示の実現のために、フレーム間引(フレームレートコントロールと称する場合もある)等の技術が採用されている。フレーム間引は、1画面を複数フレームに分割し、そのフレーム間での表示デ

4

ータを制御することにより駆動電圧の実効値を変えて多階調/多色表示を実現するものである。このような機構を持つフラットパネルディスプレイにおいては、フレーム間引き回路によって加工された表示データが、ラインバッファのシフトレジスタに取り込まれるように構成されている。

【0015】この場合、フレーム間引き回路は、まず、例えば1画面当たり4ビットから成るシリアル表示データをシフトクロックSCKに同期して順次取り込む。そして、4ビット取り込んだ時点で、その4ビットの値に対応したデータを生成し、それをラインバッファのシフトレジスタに転送する。このフレーム間引き回路の動作タイミングを図7に示す。

【0016】図7に示されているように、表示制御装置は、4ビットのシリアル表示データとシフトクロックSCKを同期して出力する。フレーム間引き回路は、4ビットのシリアル表示データをシフトクロックSCKに同期して順次取り込む。そして、フレーム間引き回路は、4ビット取り込んだ時点でその4ビットの値に対応した間引きデータ出力を生成すると共に、内部シフトクロックSCK¹を生成する。間引きデータ出力は、内部シフトクロックSCK¹に同期してシフトレジスタに取り込まれる。

【0017】このように、フレーム間引き回路では、その回路遅延分だけタイミングの遅れた内部シフトクロックSCK¹が生成され、その内部シフトクロックSCK¹に同期して間引きデータ出力がシフトレジスタに取り込まれる。

【0018】ここで、内部シフトクロックSCK¹は、通常、表示制御装置からのシフトクロックを利用して生成されている。このため、表示制御装置は、1表示ライン分の表示データを出力した後、シフトクロックSCKを余分に出力する必要がある。図7においては、第4画素の表示データが最終データであり、その表示データ出力後に3クロック余分にシフトクロックSCKを出力されている場合が示されている。余分に出力するシフトクロックSCKの数は、パネルの種類やフレーム間引き回路の種類によって異なる。

【0019】このように、従来では、FLTS用とFLTS用のそれぞれの異なるタイミング持つ水平同期信号を生成するために、FLTS用とFLTS用の2重のタイミング生成回路が必要とされる欠点があった。

【0020】また、シフトクロックSCKは、遅延回路8による遅延数がハード的に固定であるため、制御対象のパネルの種類が変わり、パネル内でのフレーム間引き等の処理に必要なクロック数が変化したとしても、それに合わせた遅延数の設定を行なうことはできなかった。

【0021】

【発明が解決しようとする課題】従来では、フラットパ

(4)

5

ネルディスプレイ用の異なるタイミングの水平同期信号を生成するために2重のタイミング生成回路が必要となるので回路数が増大されると共に、シフトクロックの遅延数が固定であるためフラットパネルディスプレイのパネルの種類にあったシフトクロックの遅延数の設定ができない欠点があった。

【0022】この発明はこのような点に鑑みてなされたもので、水平同期信号およびシフトクロックのタイミングを任意に設定できるようにして、簡単な回路構成で種々のフラットパネルディスプレイに適合した表示タイミ
10 ング制御を行なうことができる表示制御装置を提供することを目的とする。

【0023】

【課題を解決するための手段および作用】この発明は、フラットパネルディスプレイを備えたポータブルコンピュータに設けられ、前記フラットパネルディスプレイの表示タイミングを制御する表示制御装置において、前記フラットパネルディスプレイの水平走査タイミングをドット単位でカウントするカウンタ回路と、前記フラット
20 パネルディスプレイに供給される水平同期信号の発生および停止位置を示すタイミング情報が前記ポータブルコンピュータのCPUによって設定される第1レジスタと、この第1レジスタに設定されたタイミング情報および前記カウンタ回路によってカウントされたカウント値に従って、前記水平同期信号の発生および停止タイミ
30 ングを制御する水平同期信号生成回路と、前記フラットパネルディスプレイに供給されるシフトクロック信号の停止位置を示すタイミング情報が前記ポータブルコンピュータのCPUによって設定される第2レジスタと、前記シフトクロック信号を所定の周期で順次発生すると共に、前記第2レジスタに設定されたタイミング情報および前記カウンタ回路によってカウントされたカウント値に従って前記シフトクロック信号の停止タイミ
40 ングを制御するシフトクロック生成回路とを具備することを特徴とする。

【0024】この表示制御装置においては、水平同期信号は第1のレジスタに設定されたタイミング情報によってその発生位置および停止位置が制御され、またシフトクロック信号は第2のレジスタに設定されたタイミング情報によってその停止位置が制御される。このため、これらレジスタの設定値を変えることによって水平同期信号およびシフトクロック信号のタイミングを任意に設定
50 できる。したがって、タイミングの異なる複数の回路を設けることなく、種々のフラットパネルディスプレイに適合した表示タイミング制御を簡単な回路構成で実現することができる。さらに、水平方向の走査タイミングのカウントは、文字単位ではなく、ドット単位で実行されるので、水平同期信号およびシフトクロックのタイミングを精度良く制御することができる。

【0025】

6

【実施例】以下、図面を参照してこの発明の実施例を説明する。

【0026】まず、図1を参照して、この発明の一実施例に係わる表示制御装置のシステム全体の構成を説明する。この表示制御システム4は、例えば、640×480ドット16色同時表示の表示モードを持つVGA (Video Graphics Array) 仕様の表示制御システムであり、バスコネクタ3を介してポータブルコンピュータのシステムバス2に接続される。この表示制御システム4は、ポータブルコンピュータ本体に標準装備されるフラットパネルディスプレイ40およびオプション接続されるカラーCRTディスプレイ50双方に対する表示制御を行なう。

【0027】表示制御システム4には、ディスプレイコントローラ (DISP-CONT) 10、画像メモリ (VRAM) 25、およびRAMDAC (カラーテーブル付きD/Aコンバータ) 30が設けられている。これらディスプレイコントローラ (DISP-CONT) 10、画像メモリ (VRAM) 25、およびRAMDAC (カラーテーブル付きD/Aコンバータ) 30は、図示しない回路基板上に搭載されている。

【0028】ディスプレイコントローラ10はゲートアレイによって実現されるLSIであり、この表示制御システム4の主要部を成す。このディスプレイコントローラ10は、バスコネクタ3およびシステムバス2を介して、ポータブルコンピュータのCPU1とこの表示制御システムとの間のインターフェースを司る。また、ディスプレイコントローラ10は、画像メモリ (VRAM) 25およびRAMDAC (カラーテーブル付きD/Aコンバータ) 30を利用して、フラットパネルディスプレイ40およびカラーCRTディスプレイ50に対する表示制御を実行する。

【0029】画像メモリ (VRAM) 25は、フラットパネルディスプレイ40またはカラーCRTディスプレイ50に表示するための表示データをメモリプレーン方式で記憶する。このメモリプレーン方式は、メモリ領域を同一アドレスで指定される複数のプレーンに分割し、これらプレーンに各画素の色情報を割り当てる方式である。VGA仕様では画像メモリ (VRAM) 25は4プレーンから構成されるので、1画素分の表示データは、各プレーン毎に1ビットずつの合計4ビットのデータから構成される。画像メモリ (VRAM) 25のデータ入出力ポート (MDATA) は32ビット幅であり、各プレーン毎に8ビット単位でデータの入出力が実行される。このため、画像メモリ (VRAM) 25からは、1回のリードアクセスで8画素分の表示データが読み出される。

【0030】RAMDAC 30は、カラーCRTディスプレイ50用のR、G、Bのアナログカラービデオ信号を生成するためのものであり、アドレス入力 (A) に供
50

(5)

7

給されるデータをインデックスとするカラーテーブルと、このカラーテーブルから読み出されるカラーデータをアナログ信号に変換するD/Aコンバータとから構成されている。VGA仕様では320×200ドットで256色同時表示の表示モードがあるので、この表示モードをサポートするためにカラーテーブルには256個のカラーレジスタが含まれている。各カラーレジスタには、R、G、Bそれぞれについて6ビットからなる合計18ビットのカラーデータが格納されている。選択されたカラーレジスタに格納されているカラーデータは、D/AコンバータによってアナログR、G、B信号に変換されてCRTディスプレイ50に供給される。カラーテーブルに設定されるカラーデータの値は、RAMDAC30のデータ入力(D)に供給されるCPU1からの書き込みデータによって決定される。

【0031】ディスプレイコントローラ10は、図示のように、クロック制御回路11、表示タイミング制御回路12、パラレタレジスタ群13、アドレス制御回路14、表示アドレス制御回路15、ラスタオペレーション制御回路16、パラレル/シリアル変換回路(P/S)17、メモリ制御回路18、カラーパレットテーブル19、マルチプレクサ20、およびフラットパレット制御回路21から構成されている。これら各回路の機能は、次の通りである。

【0032】クロック制御回路11は、システムバス2からのクロックOSCに基づき、基本クロックBCK、2分周クロックVD2LD、および文字単位クロックCRCKを生成する。基本クロックBCKはディスプレイコントローラ10の回路動作の基準となるクロックである。2分周クロックVD2LDは、基本クロックBCKを2分周したクロック(BCK/2)である。文字単位クロックCRCKは、1文字(例えば、8×12ドット)の横方向サイズ(8ドット)を示すクロックである。

【0033】表示タイミング制御回路12は、この発明の特徴をなす部分であり、フラットパネルディスプレイ40およびCRTディスプレイ50の表示タイミングを制御する。すなわち、表示タイミング制御回路12は、クロック制御回路11からの基本クロックBCK、2分周クロックVD2LD、および文字単位クロックCRCKと、パラレタレジスタ群13に設定されたタイミング情報に基づいて、フラットパネルディスプレイ40の表示タイミングを制御するための各種制御信号(水平同期信号LP、垂直同期信号FP、およびシフトクロックSCK)、およびCRTディスプレイ50の表示タイミングを制御するための各種制御信号(水平同期信号HSYNC、垂直同期信号VSYNC)を発生する。フラットパネルディスプレイ40に対するシフトクロックSCKは、フラットパネルディスプレイ40内に表示データをシフトして取り込むためのデータシフト信号として使用され

8

るものである。さらに、表示タイミング制御回路12は、CPU1に対する割り込み要求信号(IRQ)を発行する。この表示タイミング制御回路12の回路構成の詳細については、図2乃至図4を参照して後述する。

【0034】パラメタレジスタ群13は、フラットパネルディスプレイ40およびCRTディスプレイ50の表示モードや、ディスプレイタイミング等を規定するための各種パラレタを保持する。このパラレタは、データバス(D15-0)を介してCPU1から与えられる。パラメタレジスタ群13に対するパラレタのリード/ライトは、I/Oリード信号(I/O R)、I/Oライト信号(I/O W)によって制御される。

【0035】アドレス制御回路14は、画像メモリ(VRAM)25をリード/ライトアクセスするためのメモリアドレスを発生する。画像メモリ(VRAM)25に表示データを書き込む場合には、CPU1から与えられるアドレス(SA19-0)はアドレス制御回路14によってメモリ書き込みアドレスに変換されて、画像メモリ(VRAM)20のアドレスポート(MADDR)に供給される。一方、画像メモリ(VRAM)25から表示データを読み出す場合には、表示アドレス制御回路15の制御の下に、メモリリードアドレスがアドレス制御回路14から画像メモリ(VRAM)20のアドレスポート(MADDR)に順次供給される。また、アドレス制御回路14は、RAMDAC30にカラーデータを書き込む時のライトアドレスW1も発生する。

【0036】ラスタオペレーション制御回路16は、データバス(D15-0)を介してCPU1から供給されるデータを画像メモリ(VRAM)25に表示データとして書き込む機能と、画像メモリ(VRAM)25に格納されている表示データに対して各種演算を実行する描画機能を有している。描画時には、ラスタオペレーション制御回路16は、画像メモリ(VRAM)25から読み出された表示データに対して所定の論理演算を実行してデータを加工し、その加工されたデータを再び画像メモリ(VRAM)25に書き込む。描画演算の内容は、パラメタレジスタ群13に設定されている演算パラメタによって制御される。

【0037】パラレル/シリアル変換回路(P/S)17は、画像メモリ(VRAM)25から一度に読み出される32ビット(8画素分)の表示データを4ビットの画素単位で順次切り出すために、画像メモリ(VRAM)20の4つのプレーン各々から読み出される8ビットデータをシリアルデータにパラレル/シリアル変換する。

【0038】メモリ制御回路18は画像メモリ(VRAM)20をアクセス制御するためのものであり、各種制御信号CONT(ライトイネーブル信号、アウトプットイネーブル信号、ローアドレスストロブ信号、カラムアドレスストロブ信号等)の発生を制御する。制御信

(6)

9

号CONTの発生動作は、CPU1からのメモリリード信号(MEMR)およびメモリライト信号(MEMW)によって制御される。また、メモリ制御回路18は、CPU1のバスサイクルを延長するために、I/Oチャネルレディ信号(IOCHRDY)を発生する。

【0039】カラーパレット制御回路19は、パラレル/シリアル変換回路(P/S)17から出力される4ビット/ピクセルの表示データの色属性を決定するためのものであり、4ビット/ピクセルの表示データをインデックスとして入力するカラーパレットテーブルを備えている。このカラーパレットテーブルには16個のカラーパレットレジスタが設けられており、各カラーパレットレジスタには、表示データの色属性を規定するための6ビットのカラーパレットデータが格納されている。カラーパレットデータは、データバス(D15-0)を介してCPU1によって書き込まれる。表示データによって選択されたカラーパレットレジスタに格納されている6ビットのデータには、カラーパレット制御回路19内蔵のカラー選択レジスタから出力される2ビットが加えられ、合計8ビットのデータが出力される。この8ビットデータはフラットパレットコントローラ21に供給されると共に、CRTビデオデータとしてアドレスマルチプレクサ20に供給される。この8ビットのCRTビデオデータはRAMDAC30のリードアドレスR1として使用される。

【0040】アドレスマルチプレクサ20は、リードアドレスR1とライトアドレスW1の一方を選択してRAMDAC30のアドレス入力(A)に供給する。リードアドレスR1とライトアドレスW1の選択動作は、RAMDAC30のリード/ライト制御のためにフラットパレット制御回路21から出力されるリード信号(RD)およびライト信号(WR)によって制御される。

【0041】フラットパレット制御回路21は、RAMDAC30のカラーデータをフラットパネルディスプレイ40用にエミュレーションすることにより、フラットパネルディスプレイ40用のカラーまたはモノクロ階調ビデオデータFVDを生成する。また、フラットパレット制御回路21は、RAMDAC30のリード/ライト動作を制御する。図2には、この発明の特徴をなす表示タイミング制御回路12に設けられている水平同期信号発生回路の構成が示されている。

【0042】この水平同期信号発生回路は、CRTディスプレイ50用の水平同期信号HSYNCと、フラットパネルディスプレイ40用の水平同期信号LPおよびシフトクロックSCKを生成する。CRTディスプレイ50用の水平同期信号HSYNCを発生するための回路は、図6に示した従来の構成と同様に、水平トータルレジスタ111、CRT水平タイミングカウンタ112、CRT水平同期開始位置レジスタ113、CRT水平同期終了位置レジスタ114、コンパレータ115~11

10

7、および水平同期信号生成フリップフロップ118から構成されている。

【0043】フラットパネルディスプレイ40用の水平同期信号LPを発生するための回路は、フラット水平タイミングカウンタ301、フラット水平同期信号開始位置レジスタ302、フラット水平同期信号終了位置レジスタ303、シフトクロック終了位置レジスタ304、表示イネーブル生成回路305、ロード信号生成回路306、コンパレータ307、308、およびフラット水平同期信号生成フリップフロップ310から構成されている。

【0044】フラット水平タイミングカウンタ301は、フラットパネルディスプレイ40の水平走査タイミングを、2分周クロックVD2LDに同期して1ピクセルあたり2ドット単位でカウントする。このように1ピクセル当たり2ドットの単位でカウントするのは、通常、フラットパネルディスプレイ40はFLT1S、FLT2Sのどちらの場合においても2ドット分のデータが同時に取り込まれるように構成されているためである。このフラット水平タイミングカウンタ301のカウント初期値“00”は、ロード信号生成回路306からロード信号HLDが出力された際に基本クロックBCKに同期してフラット水平タイミングカウンタ301にロードされる。

【0045】フラット水平同期信号開始位置レジスタ302には、水平同期開始位置を示すタイミング情報が格納される。このタイミング情報は、BIOSプログラムの実行によりCPU1によって設定される。フラット水平同期開始位置レジスタ303には、水平同期終了位置を示すタイミング情報が格納される。このタイミング情報も、BIOSプログラムの実行によりCPU1によって設定される。

【0046】表示イネーブル生成回路305は、コンパレータ115から出力される表示開始信号SCKSTを基準に水平方向の表示期間中を示す表示イネーブル信号を生成する。ロード信号生成回路306は、表示イネーブル信号が切れる表示終了を基準にロード信号HLDを生成する。コンパレータ307は、フラット水平タイミングカウンタ301のカウント出力HTMCとフラット水平同期信号開始位置レジスタ302の値が一致した際に、一致信号を出力する。コンパレータ308は、フラット水平タイミングカウンタ301のカウント出力HTMCとフラット水平同期信号終了位置レジスタ303の値が一致した際に、一致信号を出力する。

【0047】フラット水平同期信号生成フリップフロップ310は、フラット水平同期信号LPを出力するためのものであり、コンパレータ307の一致出力でセットされ、コンパレータ308の一致出力でリセットされる。

【0048】このように構成される水平同期信号発生回

(7)

11

路は、次のように動作する。ここでは、VGA仕様に対応した解像度640×480ドットのフラットディスプレイ40の表示動作を例にとって説明する。

【0049】表示は、水平方向に左から右に1ドットずつ走査しながら行われる。水平方向の文字数のカウントは、CRT水平タイミングカウンタ112で行われ、文字単位クロックCRCKでカウントアップする。CRT水平タイミングカウンタ112のカウント値が80文字に達したら、1ライン目の表示は終了となる。この時、ロード信号発生回路306で作られたロード信号HLDにより、初期値“00h”がロードされてフラット水平タイミングカウンタ301の動作が始まる。2分周クロックVD2LDはカウンタ301のイネーブル信号であり、前述したように1ピクセルあたり2ドットの周期である。

【0050】カウンタ301が00, 01, …とカウントアップして行き、フラット水平同期信号開始位置レジスタ302に設定された値に等しくなると、コンパレータ307が“1”を出力して次の基本クロックBCKでフラット水平同期信号生成フリップフロップ310がセットされる。これにより水平同期信号LPが立ち上がる。更に、カウンタ301はカウントアップを続け、水平同期信号終了位置レジスタ303に設定された値に等しくなると、コンパレータ308が“1”を出力して次の基本クロックBCKでフラット水平同期信号生成フリップフロップ310がリセットされる。これによりフラット水平同期信号LPは立ち下がる。

【0051】シフトクロック生成回路は、シフトクロック終了位置レジスタ304、コンパレータ309、シフトクロックイネーブルフリップフロップ311、およびシフトクロック生成フリップフロップ312から構成される。

【0052】シフトクロック終了位置レジスタ304には、シフトクロックSCKの終了位置を示すタイミング情報が格納される。このタイミング情報は、BIOSプログラムの実行によってCPU1によって設定されるものである。コンパレータ309は、フラット水平タイミングカウンタ301のカウント出力HTMCとシフトクロック終了位置レジスタ304の値が一致した際に、一致信号を出力する。

【0053】シフトクロックイネーブルフリップフロップ311は、シフトクロックイネーブル信号SCKENを発生するためのものであり、表示イネーブル信号によって表示期間中はセット状態に維持され、表示期間終了後にはコンパレータ309の一致出力でリセットされる。シフトクロック生成フリップフロップ312は、シフトクロックイネーブル信号SCKENがイネーブルの期間、2分周クロックVD2LDと基本クロックBCKに基づいてシフトクロックSCKを生成する。シフトクロックSCKの生成動作は、次のように行なわれる。

12

【0054】表示が開始されると表示イネーブル信号がイネーブル“1”なり、これによりシフトクロックイネーブルフリップフロップ311がセットされ、“1”のシフトクロックイネーブル信号SCKENが発生される。この“1”のシフトクロックイネーブル信号SCKENが発生されている期間中においては、2分周クロックVD2LDが基本クロックBCKのタイミングでシフトクロック生成フリップフロップ312にラッチされ、これにより2分周クロックVD2LDと同一周期のシフトクロックSCKが、シフトクロック生成フリップフロップ312から出力される。また表示終了後は、ロード信号HLDが入力されることによってフラット水平タイミングカウンタ301がカウント動作を開始し、そのカウント値がシフトクロック終了位置レジスタ304の値に等しくなると、コンパレータ309が“1”を出力する。そして、次の基本クロックBCKのタイミングでシフトクロックイネーブル信号SCKENが“0”となり、さらに次の基本クロックBCKのタイミングでシフトクロック生成フリップフロップ312がリセットされて、次のラインの表示が始まるまでシフトクロックSCKの発生が停止される。図3には、水平同期信号生成フリップフロップ310の具体的構成の一例が示されている。

【0055】図示のように、水平同期信号生成フリップフロップ310は、ANDゲート401、402、J-Kフリップフロップ403、ORゲート404、405、NANDゲート406、およびDフリップフロップ407から構成されている。ANDゲート401の第1入力にはコンパレータ307の出力が入力され、その第2入力には2分周クロックVD2LDが入力される。このANDゲート401の出力は、J-Kフリップフロップ403のJ入力に供給される。ANDゲート402の第2入力にはコンパレータ308の出力が入力され、その第2入力には2分周クロックVD2LDが入力される。このANDゲート402の出力は、J-Kフリップフロップ403のK入力に供給される。

【0056】J-Kフリップフロップ403のクロック入力CKには基本クロックBCKが入力され、そのJ-Kフリップフロップ403の反転Q出力(QN)はORゲート404の第1入力に供給される。このORゲート404の第2入力には2分周クロックVD2LDが入力され、ORゲート404の出力はNANDゲート406の第1入力に出力される。このNANDゲート406の第2入力には、ORゲート405の出力が入力される。NANDゲート406の出力は、Dフリップフロップ407のD入力に供給される。このDフリップフロップ407のクロック入力CKには、基本クロックBCKが供給される。Dフリップフロップ407のQ出力は、水平同期信号LPとしてフラットパネルディスプレイ40に供給される。Dフリップフロップ407の反転Q出力

(8)

13

(QN) は、第1入力に2分周クロックVD2LDの反転信号が入力されているORゲート405の第2入力に供給される。ORゲート404、405、およびNANDゲート406はセクタを構成しており、VD2LD=1の時はJ-Kフリップフロップ403の反転Q出力(QN)が選択され、VD2LD=0の時はJ-Kフリップフロップ407の反転Q出力(QN)が選択される。

【0057】図4には、表示イネーブル生成回路305、シフトクロックイネーブルフリップフロップ311、およびシフトクロック生成フリップフロップ312の具体的構成の一例が示されている。

【0058】表示イネーブル生成回路305は、J-Kフリップフロップ501から構成される。J-Kフリップフロップ501のJ入力には表示開始信号SCKSTが入力され、K入力にはロード信号HLDが供給され、クロックCK入力には基本クロックBCKが供給される。

【0059】シフトクロックイネーブルフリップフロップ311は、ANDゲート601、J-Kフリップフロップ602、およびORゲート603から構成される。ANDゲート601の第1入力にはコンパレータ309の出力が入力され、その第2入力には2分周クロックVD2LDが入力される。このANDゲート601の出力は、J-Kフリップフロップ602のK入力に供給される。このJ-Kフリップフロップ602のJ入力にはロード信号HLDが供給され、クロックCK入力には基本クロックBCKが供給される。このJ-Kフリップフロップ602のQ出力は、ORゲート603の第1入力に供給される。このORゲート603の第2入力にはJ-Kフリップフロップ501のQ出力である表示イネーブル信号FVDTENが入力され、またORゲート603の出力はシフトクロックイネーブル信号SCKENとしてシフトクロック生成フリップフロップ312に供給される。

【0060】シフトクロック生成フリップフロップ312は、ANDゲート701およびDフリップフロップ702から構成される。ANDゲート701の第1入力にはシフトクロックイネーブル信号SCKENが入力され、その第2入力には2分周クロックVD2LDが入力される。このANDゲート701の出力は、Dフリップフロップ702のD入力に供給される。このDフリップフロップ702のクロックCK入力には基本クロックBCKが供給され、Dフリップフロップ702のQ出力はシフトクロックSCKとして出力される。次に、図5のタイミングチャートを参照して、水平同期信号LPおよびシフトクロックSCKの生成動作を説明する。

【0061】このタイミングチャートは、水平640ドットのグラフィクスモードにおける水平同期信号LPおよびシフトクロックSCKのタイミングを示している。

14

このタイミングチャートにおいて、HCNT07-00なる信号は、水平方向を文字単位(ここでは、8ドット=1文字)でカウントするCRT水平タイミングカウンタ112のカウント値を示しており、0~87文字までカウントする。HDS Pは、0~87文字の内に表示領域のみ“1”となるものであり、ここでは水平640ドット、1文字8ドットであるので、0~79文字までが表示領域となる。FVDは図1のフラットパレット制御回路21から出力されるフラットパネルディスプレイ40用の表示データであり、2ドット分同時に出力される。この2ドットは、フラットパネルディスプレイ40がFLTSの場合には同一走査ラインの奇数ドットと偶数ドットに対応し、フラットパネルディスプレイ40がFLT2Sの場合には上画面と下画面のそれぞれ1ドットに対応する。FVDTENは、表示イネーブル信号であり、ここでは表示データFVDの遅延を考慮して0~83文字までの期間中、イネーブになるように設定されている。HTMC05-00なる信号は、前述したようにフラット水平タイミングカウンタ301のカウント値であり、HCNT07-00が“83”を示してから2つ目の2分周クロックVD2LDのタイミングでロード信号HLDがフラット水平タイミングカウンタ301に入力され、次の基本クロックBCKのタイミングで初期値“00”が水平タイミングカウンタ301にロードされる。以降、水平タイミングカウンタ301は、2分周クロックVD2LDに同期してカウントアップして行く。

【0062】以下、水平トータルレジスタ111に値“53h”(53h=水平総文字数88-5)、フラット水平同期信号開始位置レジスタ302に値“06h”、フラット水平同期信号終了位置レジスタ303に値“0Eh”、シフトクロック終了位置レジスタ304に値“02h”を設定した場合を例にとり、水平同期信号LPの生成動作と、シフトクロックSCKの生成動作を説明する。まず、図4の回路によるシフトクロックSCKの生成動作を説明する。

【0063】表示が開始された時点で表示開始信号SCKST=1となり、これにより表示イネーブル生成回路305のJ-Kフリップフロップ501がセットされ、表示イネーブル信号FVDTEN=1となる。表示イネーブル信号FVDTENは、J-Kフリップフロップ501のリセット条件(HLD=1)が成立するまで“1”のみである。表示イネーブル信号FVDTEN=1となると、OR回路603から“1”のシフトクロックイネーブル信号SCKENが出力される。“1”のシフトクロックイネーブル信号SCKENは、ANDゲート701によってVD2LDと論理積が取られる。そして、その論理積結果を1基本クロックBCKだけ遅らせたものが、シフトクロックSCKとしてDフリップフロップ702から出力される。つまり、シフトクロックイネーブル信号SCKEN=1の時には、VD2

(9)

15

LDの反転信号がシフトクロックSCKとなる。以上のように、表示期間中はシフトクロックSCKが出力され続ける。次に、表示領域が終り、シフトクロックSCKを停止させる動作を説明する。

【0064】“1”のロード信号HLDが入力されると、J-Kフリップフロップ501がリセットされて表示イネーブル信号EVD TEN “0”となる。また、J-Kフリップフロップ602は、“1”のロード信号HDLが入力されるとセットされ、そのQ出力が“1”になる。このため、ORゲート603の出力であるシフトクロックイネーブル信号SCKENは、“1”のまま変化しない。

【0065】一方、ロード信号HLD=1になることによって、フラット水平タイミングカウンタ301には初期値“00”がロードされ、フラット水平タイミングカウンタ301のカウント動作が開始される。フラット水平タイミングカウンタ301のカウント値HTMCがシフトクロック終了位置レジスタ304の値“02h”に一致した時、コンパレータ309から“1”の一致信号が出力される。この“1”の一致信号は、ANDゲート601によってVD2LDと論理積が取られ、その論理積出力によってJ-Kフリップフロップ602がリセットされる。この結果、ORゲート603の出力であるシフトクロックイネーブル信号SCKENは“0”となり、シフトクロックSCKが停止される。このように、シフトクロック終了位置レジスタ304の設定値によって、VD2LD単位でSCKの停止位置を調整することができる。次に、図3の回路による水平同期信号LPの生成動作を説明する。

【0066】前述のように、フラット水平タイミングカウンタ301は、“1”のロード信号HLDが入力されるとカウントを開始する。このカウント値HTMCが水平同期信号開始位置レジスタ302の値“06h”に一致したら、コンパレータ307から“1”の一致信号が出力される。この“1”の一致信号は、ANDゲート401でVD2LDと論理積が取られ、その論理積が“1”の時にJ-Kフリップフロップ403がセットされる。この結果、J-Kフリップフロップ403のQN出力(FL TLP信号)が“0”になる。ORゲート404、405、NANDゲート406から構成されるセレクトは、VD2LD=0の時はJ-Kフリップフロップ403のQN出力を選択する。このため、FL TLP=0となると、VD2LD=0の時のみNANDゲート407の出力が“1”になり、1基本クロックBCK後に“1”の水平同期信号LPがDフリップフロップ407のQ出力から出力される。VD2LD=1の時は、Dフリップフロップ407の反転Q出力(QN)が選択されるので、NANDゲート407の出力は“1”に維持される。

【0067】さらに、フラット水平タイミングカウンタ

16

301がカウントを続け、そのカウント値HTMCが水平同期信号終了位置レジスタ303の値“0Eh”に一致したら、コンパレータ308から“1”の一致信号が出力される。この“1”の一致信号は、ANDゲート402でVD2LDと論理積が取られ、その論理積が“1”の時にJ-Kフリップフロップ403がリセットされる。この結果、J-Kフリップフロップ403のQN出力(FL TLP信号)が“1”になる。以降、FL TLP=0の場合と同様に、ORゲート404、405、NANDゲート406が動作して、水平同期信号LPが“0”になる。

【0068】以上のように、この実施例においては、フラットパネルディスプレイ40用の水平同期信号LPは水平同期信号開始位置レジスタ302および水平同期信号終了位置レジスタ303に設定されたタイミング情報によってその発生位置および停止位置が制御され、またシフトクロック信号SCKはシフトクロック終了位置レジスタ304に設定されたタイミング情報によってその停止位置が制御される。

【0069】このため、これらレジスタの設定値を変えることによって水平同期信号LPおよびシフトクロックSCKのタイミングを任意に設定できる。したがって、タイミングの異なる複数の回路を設けることなく、種々のフラットパネルディスプレイに適合した表示タイミング制御を行なうことができる。さらに、水平方向の走査タイミングのカウントは、フラット水平タイミングカウンタ301によって、文字単位ではなく、フラットパネルディスプレイ40の水平方向の走査タイミングをドット単位で示すクロック(ここでは、1ピクセル当たり2ドットの周期のクロックVD2LD)に同期して実行されるので、水平同期信号LPおよびシフトクロックSCKのタイミングを精度良く制御することができる。

【0070】また、シフトクロックSCKを余分に出力する必要がないフラットパネルディスプレイについては、シフトクロック終了位置レジスタ304の設定値を“00h”とすることにより、そのシフトクロックSCKの余分な出力を無くすこともできる。

【0071】

【発明の効果】以上詳述したようにこの発明によれば、水平同期信号およびシフトクロックのタイミングを任意に設定できるようになり、簡単な回路構成で種々のフラットパネルディスプレイに適合した表示タイミング制御を行なうことが可能となる。

【図面の簡単な説明】

【図1】この発明の一実施例に係る表示制御装置の全体の構成を示すブロック図。

【図2】同実施例における表示制御装置における表示タイミング制御回路の一例を示す図。

【図3】図2の表示タイミング制御回路に設けられているフラットパネルディスプレイ用水平同期信号発生回路

(10)

17

の要部を示す回路図。

【図4】図2の表示タイミング制御回路に設けられているフラットパネルディスプレイ用シフトクロック発生回路の要部を示す回路図。

【図5】図2の表示タイミング制御回路の動作を説明するタイミングチャート。

【図6】従来の表示タイミング制御回路の構成を示す回路図。

【図7】従来の表示タイミング制御回路から発生される遅延シフトクロックがフラットパネルディスプレイ内で

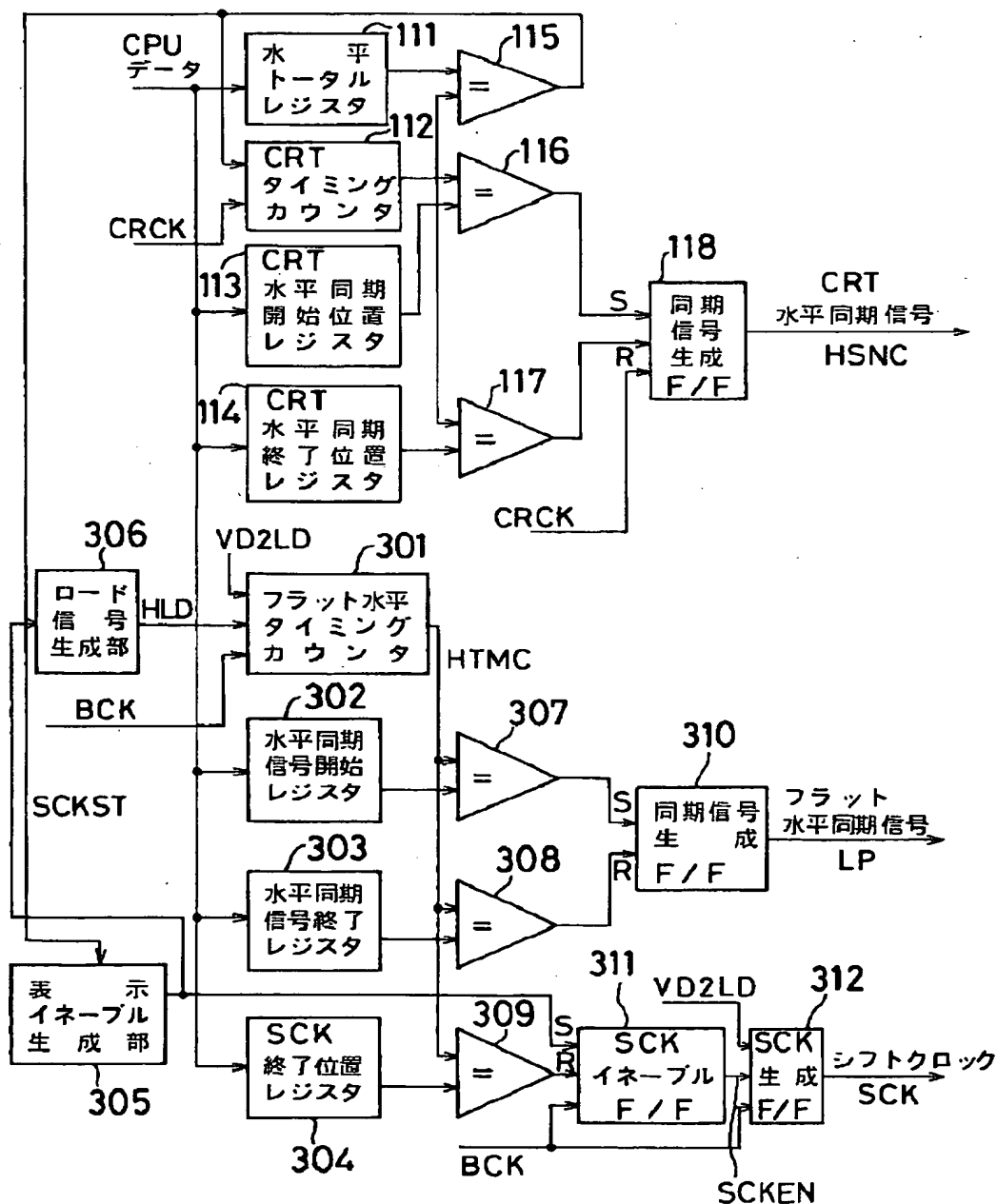
18

どの様に利用されるかを説明するためのタイミングチャート。

【符号の説明】

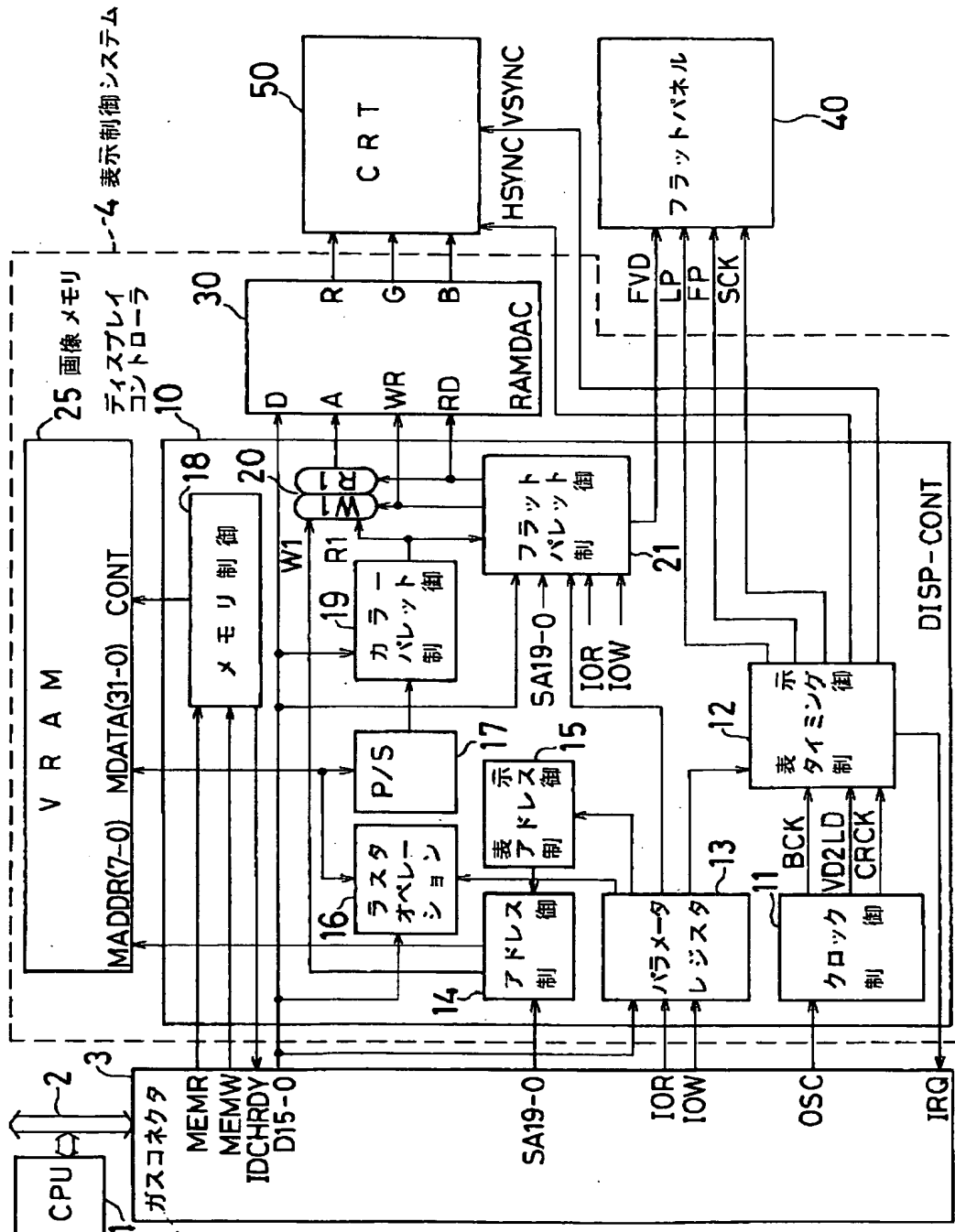
12…表示タイミング制御回路、301…フラット水平タイミングカウンタ、302…水平同期信号開始位置レジスタ、303…水平同期信号終了位置レジスタ、304…シフトクロック終了位置レジスタ、310…フラット水平同期信号生成フリップフロップ、311…シフトクロックイネーブルフリップフロップ、312…シフトクロック生成フリップフロップ。

【図2】



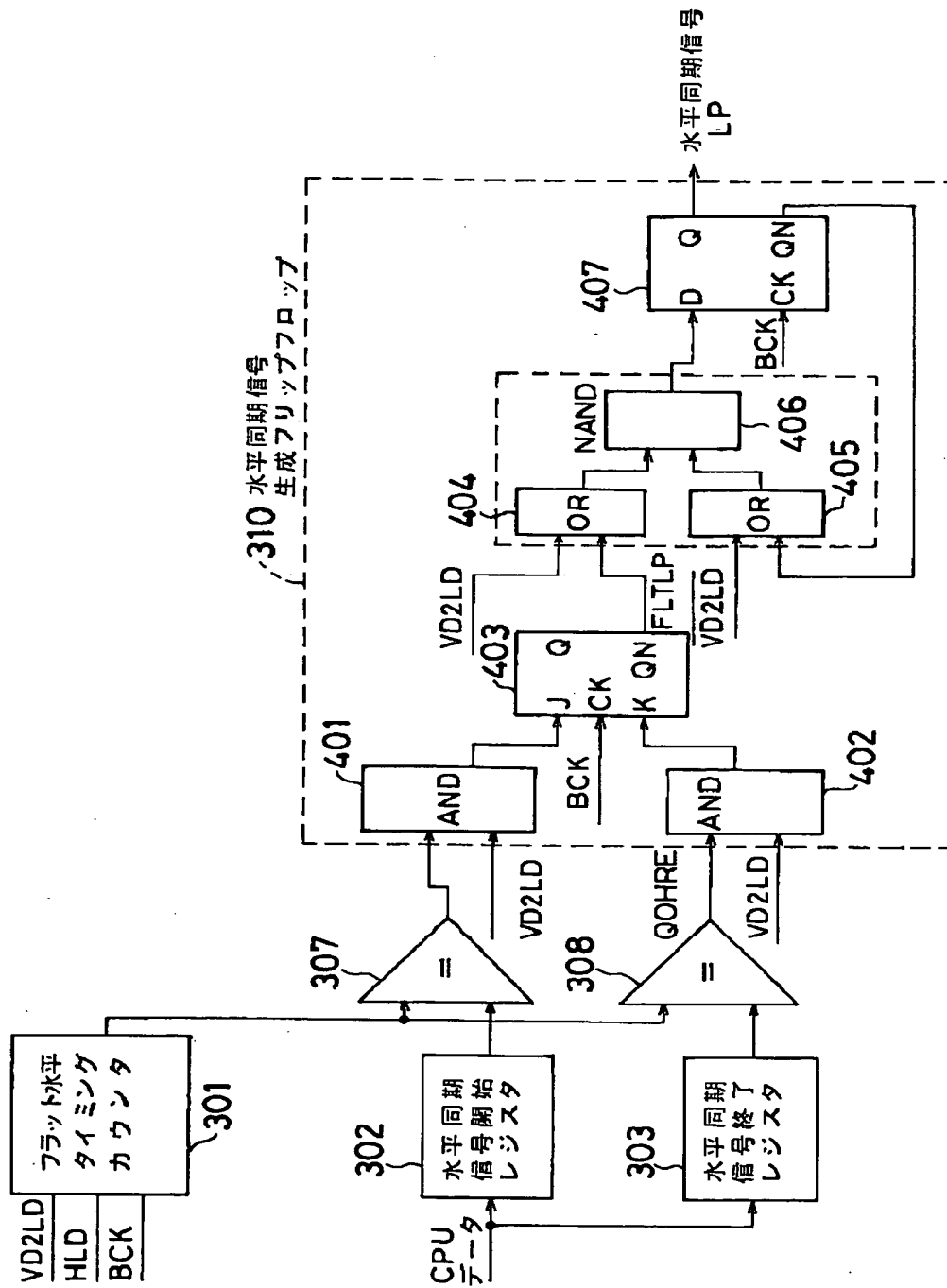
(11)

【図1】



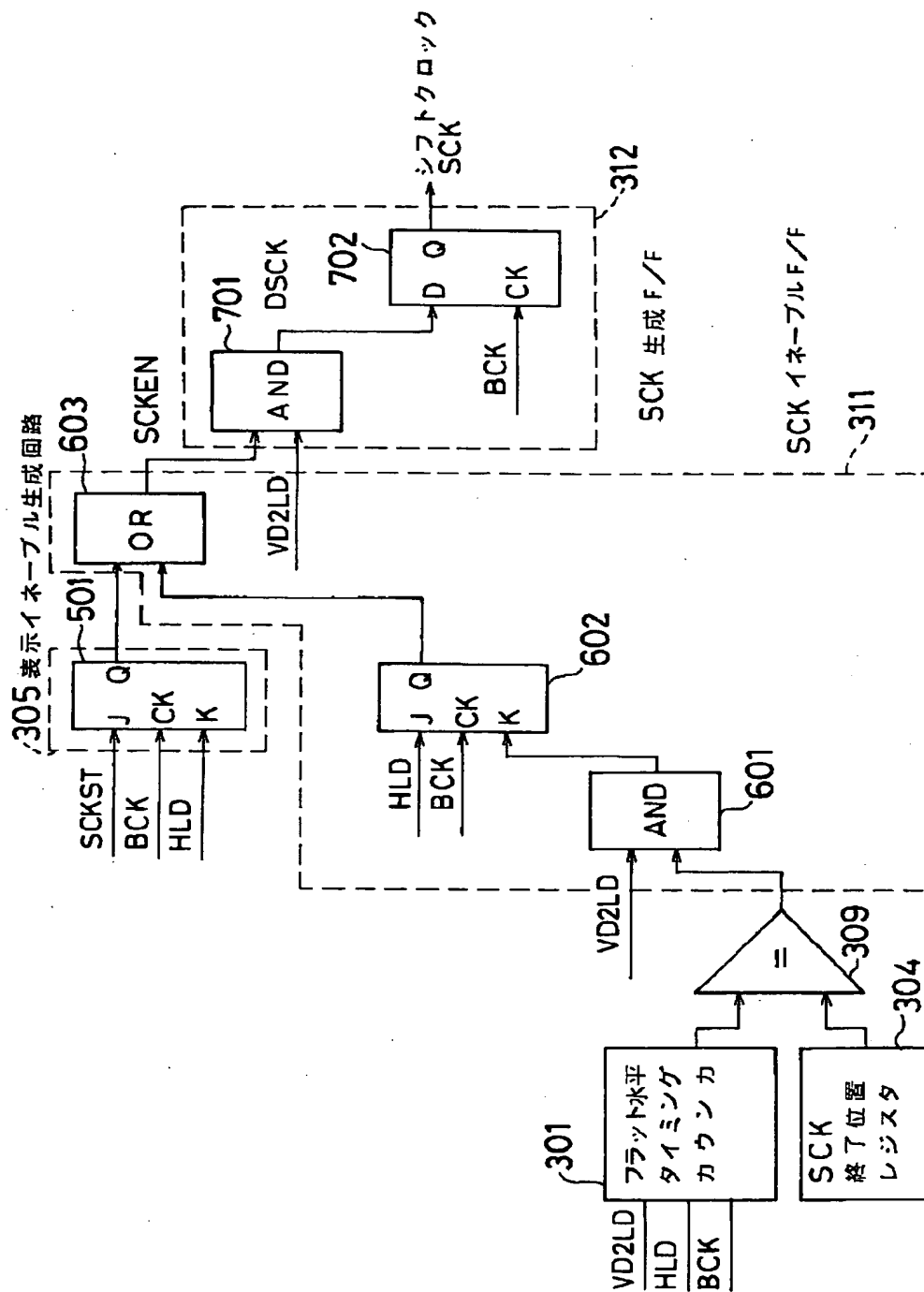
(12)

【図3】



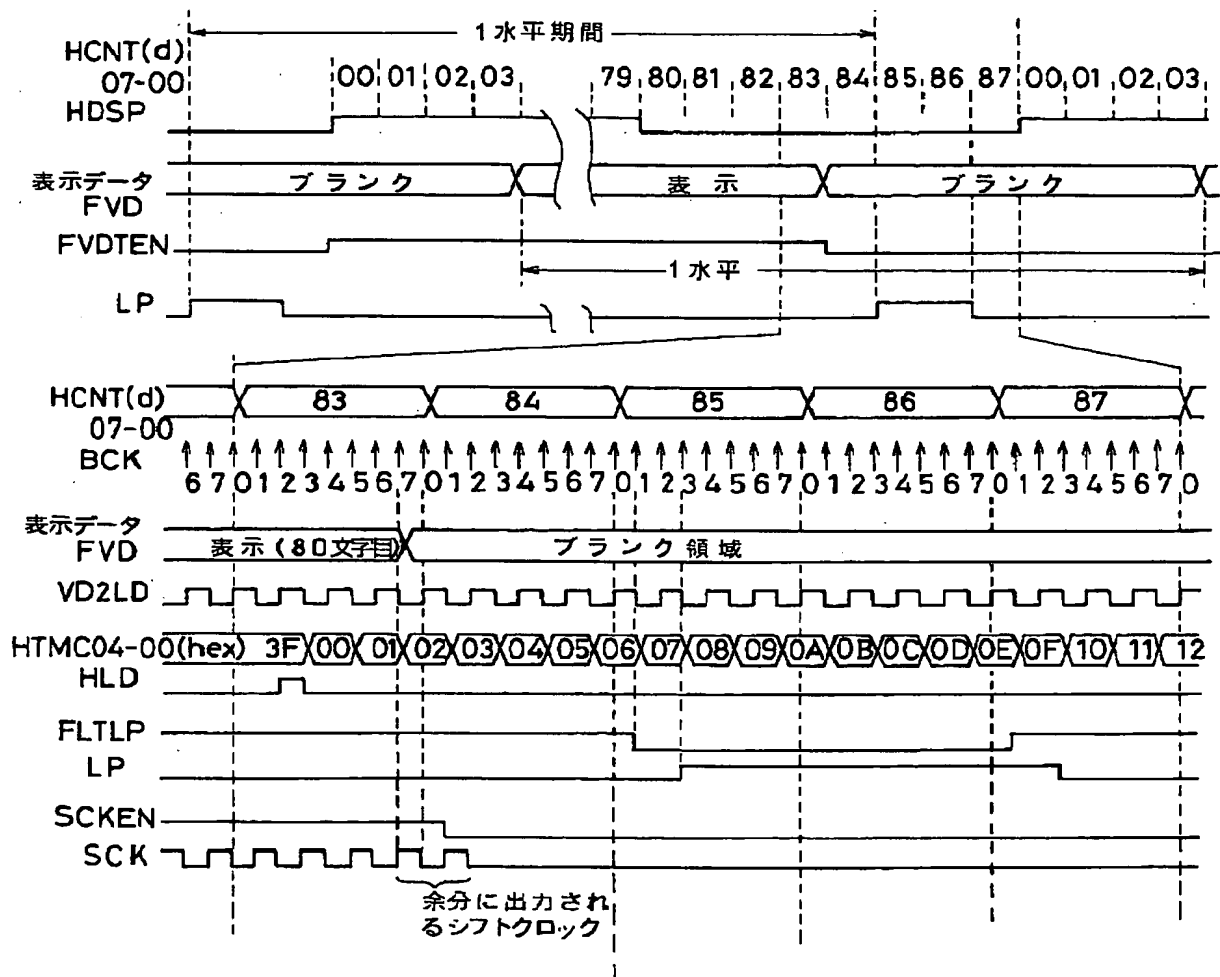
(13)

【図4】



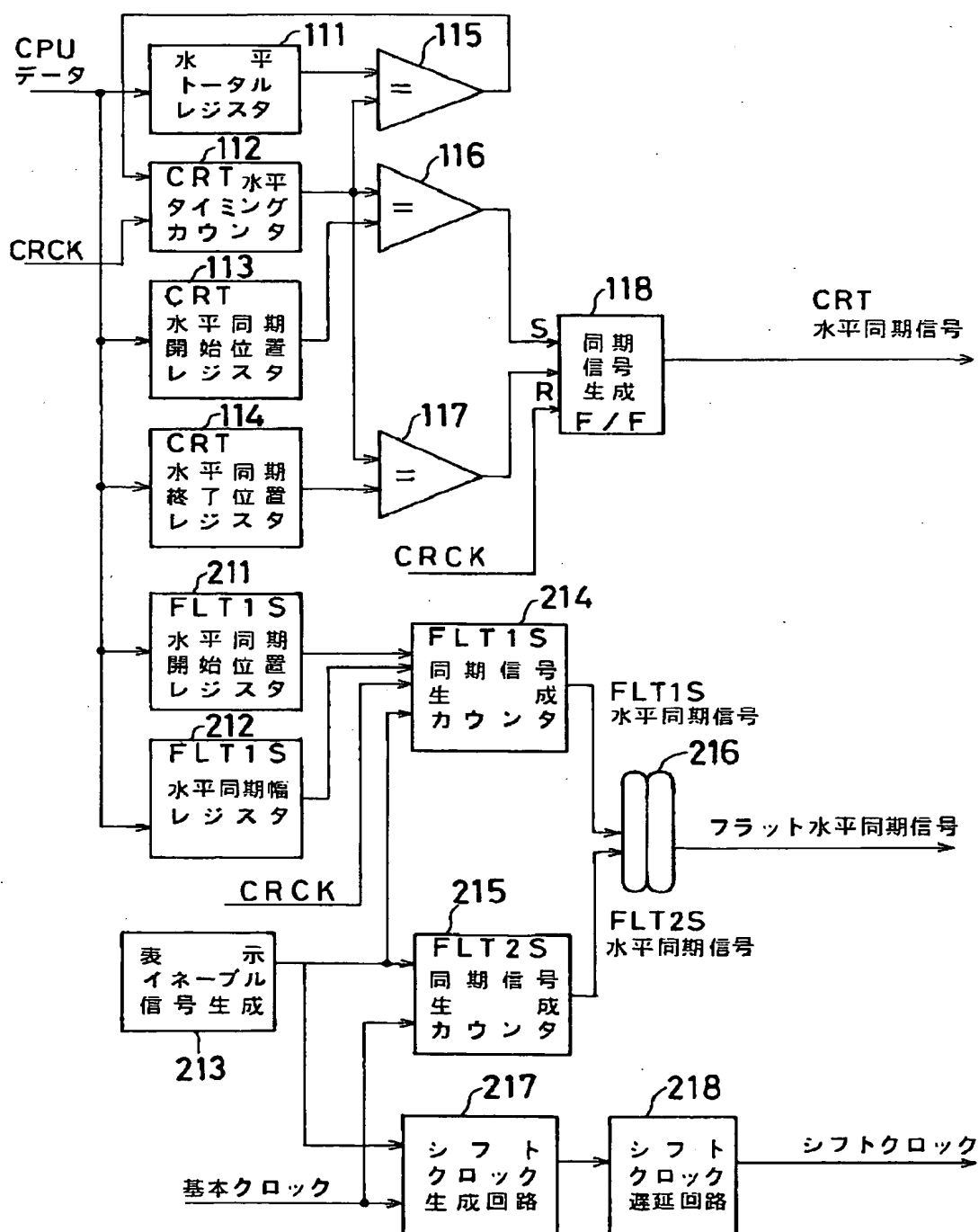
(14)

【図5】



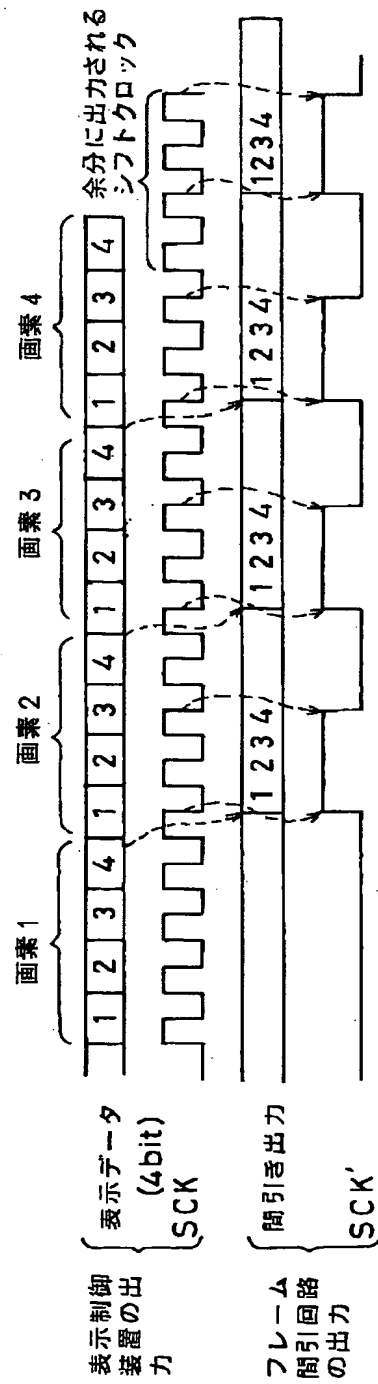
(15)

【図6】



(16)

【図7】



*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the display control which is formed in the portable computer equipped with the flat-panel display, and controls the display timing of said flat-panel display The counter circuit which counts the horizontal scanning timing of said flat-panel display per dot, The 1st register to which the timing information which shows generating and the halt location of a Horizontal Synchronizing signal which are supplied to said flat-panel display is set by CPU of said portable computer, The Horizontal Synchronizing signal generation circuit which controls generating and halt timing of said Horizontal Synchronizing signal according to the counted value counted by the timing information set as this 1st register, and said counter circuit, The 2nd register to which the timing information which shows the halt location of the shift clock signal supplied to said flat-panel display is set by CPU of said portable computer, While carrying out sequential generating of said shift clock signal with a predetermined period The display control characterized by providing the shift clock generation circuit which controls the halt timing of said shift clock signal according to the counted value counted by the timing information set as said 2nd register, and said counter circuit.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the display control which controls the display timing of various flat-panel displays especially about a display control.

[0002]

[Description of the Prior Art] In recent years, the portable computer a portable laptop type or note type is developed variously.

[0003] This kind of typical portable computer has equipped standardly a flat-panel display like a plasma display or a liquid crystal display. This flat-panel display is prepared for the range between a lock out

location and a release location to the body of a computer, enabling free rotation. When a flat-panel display is set as a lock out location, the location of the flat-panel display is carried out so that the keyboard of the body of a computer and one may be covered, and this becomes easy to carry a computer. For this reason, the flat-panel display is suitable for a portable computer at the point which raises that portability.

[0004] Furthermore, the latest portable computer is equipped with the video outlet terminal to a CRT display so that a CRT display can also be connected if needed. Since the CRT display is used more widely as a monitor of a desktop type personal computer than before, many application programs for a CRT display are developed. For this reason, the existing software resource can be effectively used for the portable computer which can use a CRT display, and it can perform the same employment as a desktop type personal computer. The conventional display control of this kind of portable computer is equipped with the display timing control circuit as shown in drawing 6.

[0005] The display timing control circuit of drawing 6 makes a controlled system a CRT display, the flat-panel display (FLT1S are called hereafter) which consists of one panel, and the flat-panel display (FLT2S are called hereafter) which consists of two panels corresponding to an upper screen and a bottom screen, respectively, and is equipped with the circuit for generating three kinds of Horizontal Synchronizing signals suitable for each.

[0006] The Horizontal Synchronizing signal for CRT displays is generated as follows by the level total register 111, the CRT level timing counter 112, the CRT horizontal synchronization starting position register 113, the CRT horizontal synchronization termination location register 114, comparators 115-117, and the Horizontal Synchronizing signal generation flip-flop 118.

[0007] Data display is performed scanning on the right from the left horizontally. In the case of a CRT display, the count of the horizontal number of alphabetic characters is performed by the CRT level timing counter 112, and it counts up with an alphabetic character unit clock (CRCK). If the value of this CRT level timing counter 112 becomes equal to the value set as the CRT horizontal synchronization starting position register 113 by BIOS, "1" is outputted, and a comparator will set the CRT Horizontal Synchronizing signal generation flip-flop 118 by the next CRCK, and will output to CRT. Furthermore, the CRT level timing counter 112 continues count-up, and if it becomes equal to the value set as the CRT horizontal synchronization termination location register 114 by BIOS, a comparator 117 will output "1", the CRT Horizontal Synchronizing signal generation flip-flop 118 will be reset by the next CRCK, and, thereby, it will be stopped by the Horizontal Synchronizing signal. Moreover, the CRT level timing counter 112 is reset by initial value with "1" output of a comparator 115, when in agreement with the horizontal total number of alphabetic characters with which the counter value was set as the level total register 111 by BIOS.

[0008] The Horizontal Synchronizing signal of FLT1S is generated as follows by the FLT1S horizontal synchronization starting position register 211, the FLT1S horizontal synchronization width-of-face register 212, the display enable signal generation circuit 213, and the FLT1S synchronizing signal generation counter 214.

[0009] The count which synchronized with CRCK on the basis of the place where the display enable signal generated in the display enable signal generation circuit 3 was turned off in the case of FLT1S is started by the FLT1S synchronizing signal generation counter 214. The Horizontal Synchronizing signal for FLT1S with the width of face from the value of the FLT1S Horizontal Synchronizing signal starting position register 211 which BIOS set up to the value of the FLT1S Horizontal Synchronizing signal width-of-face register 212 is generated by this, and it is sent to a selector 216. When the flat-panel display with which the portable computer is equipped is FLT1S, the Horizontal Synchronizing signal for FLT1S is chosen by the selector 216, and is outputted to the flat-panel display of FLT1S. The Horizontal Synchronizing signal of FLT2S is generated as follows by the display enable signal generation circuit 213 and the FLT2S synchronizing signal generation counter 215.

[0010] In the case of FLT2S, the count which synchronized with the basic clock on the basis of the

place where the display enable signal generated in the display enable signal generation circuit 213 was turned off is started by the FLT2S synchronizing signal generation time counter 215, and the Horizontal Synchronizing signal with the width of face to the value fixed by this in hard in the FLT2S synchronizing signal generation counter 215 interior from the reference point for FLT2S is generated. When the flat-panel display with which the portable computer is equipped is FLT2S, the Horizontal Synchronizing signal for FLT2S is chosen by the selector 216, and is outputted to the flat-panel display of FLT2S.

[0011] Moreover, in order to generate the shift clock SCK outputted to a flat-panel display, the shift clock generation circuit 217 and the shift clock delay circuit 218 are established in this display timing control circuit. This shift clock SCK is used as a synchronizing signal for shifting and incorporating an indicative data to the shift register in a flat-panel display.

[0012] In the period when the display enable signal is generated from the display enable signal generation circuit 213, in order to incorporate the indicative data for one line corresponding to next display Rhine to the shift register in a flat-panel display, based on a basic clock, the shift clock generation circuit 7 carries out sequential generation, and outputs the shift clock SCK.

[0013] Also after a display enable signal is turned off and such a shift clock SCK for flat-panel displays becomes a non-display period, it is outputted to a number clock excess by the shift clock delay circuit 8. This is for doubling with delay of the circuit actuation in a flat-panel display. In delay of this circuit actuation, when as follows, it is generated, for example.

[0014] That is, techniques, such as inter-frame ** (frame rate control may be called), are adopted as the latest flat-panel display for implementation of many gradation / multicolor display. Frame thinning out divides one screen into a multiple frame, by controlling an indicative data inter-frame [the], changes the actual value of driver voltage and realizes many gradation / multicolor display. In the flat-panel display with such a device, the indicative data processed by the inter-frame length circuit is constituted so that it may be incorporated by the shift register of a line buffer.

[0015] In this case, an inter-frame length circuit incorporates first the serial indicative data which consists of 4 bits per pixel one by one synchronizing with the shift clock SCK. And when 4 bits is incorporated, the data corresponding to the value of 4 bits are generated, and it is transmitted to the shift register of a line buffer. The timing of this inter-frame length circuit of operation is shown in drawing 7.

[0016] A display control synchronizes and outputs a 4-bit serial indicative data and the shift clock SCK as shown in drawing 7. An inter-frame length circuit incorporates a 4-bit serial indicative data one by one synchronizing with the shift clock SCK. And they generate internal shift clock SCK' while they generate the infanticide data output corresponding to the value of 4 bits, when 4 bits of inter-frame length circuits are incorporated. Infanticide data output is incorporated by the shift register synchronizing with internal shift clock SCK'.

[0017] Thus, in an inter-frame length circuit, internal shift clock SCK' in which timing was by the circuit delay is generated, it thins out synchronizing with the internal shift clock SCK', and data output is incorporated by the shift register.

[0018] Here, internal shift clock SCK' is usually generated using the shift clock from a display control. For this reason, a display control needs to output the shift clock SCK too much, after outputting the indicative data for 1 display Rhine. In drawing 7, a pixel [4th] indicative data is the last data, and the case where the shift clock SCK is outputted to 3 clock excess after the indicative-data output is shown. The number of the shift clocks SCK outputted too much changes with the class of panel, or classes of inter-frame length circuit.

[0019] Thus, in the former, in order to generate each different timing **** Horizontal Synchronizing signal the object for FLT1S, and for FLT2S, there was a fault for which the timing generation circuit of the duplex the object for FLT1S and for FLT2S is needed.

[0020] Moreover, since the number of delay by the delay circuit 8 was immobilization in hard, the shift clock SCK was not able to set up the number of delay doubled with it, even if the class of panel of a

controlled system changed and the number of clocks required for processing of the inter-frame length within a panel etc. changed.

[0021]

[Problem(s) to be Solved by the Invention] In the former, since the timing generation circuit of a duplex was needed in order to generate the Horizontal Synchronizing signal of timing with which it differs for flat-panel displays, while the number of circuits increased, since the number of delay of a shift clock was immobilization, there was a fault which cannot perform a setup of the number of delay of a shift clock which suited the class of panel of a flat-panel display.

[0022] As this invention was made in view of such a point and can set the timing of a Horizontal Synchronizing signal and a shift clock as arbitration, it aims at offering the display control which can perform display timing control which suited flat-panel displays various by easy circuitry.

[0023]

[Means for Solving the Problem and its Function] In the display control which this invention is prepared in the portable computer equipped with the flat-panel display, and controls the display timing of said flat-panel display The counter circuit which counts the horizontal scanning timing of said flat-panel display per dot, The 1st register to which the timing information which shows generating and the halt location of a Horizontal Synchronizing signal which are supplied to said flat-panel display is set by CPU of said portable computer, The Horizontal Synchronizing signal generation circuit which controls generating and halt timing of said Horizontal Synchronizing signal according to the counted value counted by the timing information set as this 1st register, and said counter circuit, The 2nd register to which the timing information which shows the halt location of the shift clock signal supplied to said flat-panel display is set by CPU of said portable computer, While carrying out sequential generating of said shift clock signal with a predetermined period It is characterized by providing the shift clock generation circuit which controls the halt timing of said shift clock signal according to the counted value counted by the timing information set as said 2nd register, and said counter circuit.

[0024] In this display control, that generating location and a halt location are controlled by timing information by which the Horizontal Synchronizing signal was set as the 1st register, and that halt location is controlled by timing information by which the shift clock signal was set as the 2nd register. For this reason, the timing of a Horizontal Synchronizing signal and a shift clock signal can be set as arbitration by changing the set point of these registers. Therefore, display timing control which suited various flat-panel displays can be realized by easy circuitry, without preparing two or more circuits where timing differs. Furthermore, since the count of horizontal scan timing is performed not per alphabetic character unit but per dot, it can control the timing of a Horizontal Synchronizing signal and a shift clock with a sufficient precision.

[0025]

[Example] Hereafter, the example of this invention is explained with reference to a drawing.

[0026] First, with reference to drawing 1 , the configuration of the whole system of the display control concerning one example of this invention is explained. This Display Control System 4 is Display Control System of a VGA (Video Graphics Array) specification with the display mode of a 640x480-dot 16 color coincidence display for example, and is connected to the system bus 2 of a portable computer through the bus connector 3. This Display Control System 4 performs the display control to the flat-panel display 40 and color CRT display 50 both sides to which option connection is made with which the body of a portable computer is equipped standardly.

[0027] A display controller (DISP-CONT) 10, an image memory (VRAM) 25, and RAMDAC (D/A converter with a color table)30 are formed in Display Control System 4. These display controllers (DISP-CONT) 10, an image memory (VRAM) 25, and RAMDAC (D/A converter with a color table)30 are carried on the circuit board which is not illustrated.

[0028] A display controller 10 is LSI realized by the gate array, and accomplishes the principal part of this Display Control System 4. This display controller 10 manages the interface between CPU1 of a

portable computer, and this Display Control System through the bus connector 3 and a system bus 2. Moreover, a display controller 10 performs the display control to a flat-panel display 40 and the color CRT display 50 using an image memory (VRAM) 25 and RAMDAC (D/A converter with a color table)30.

[0029] An image memory (VRAM) 25 memorizes the indicative data for displaying on a flat-panel display 40 or the color CRT display 50 by the memory plane method. This memory plane method is a method which divides a memory area into two or more planes specified in the same address, and assigns the color information on each pixel to these planes. Since an image memory (VRAM) 25 is constituted from four planes by the VGA specification, the indicative data for 1 pixel consists of a total of every 1 bit data [4-bit] for every plane. The data input/output port (MDATA) of an image memory (VRAM) 25 is 32-bit width of face, and I/O of data is performed by 8 bitwises for every plane. For this reason, the indicative data for 8 pixels is read from an image memory (VRAM) 25 by one read access.

[0030] RAMDAC30 consists of D/A converters which change into an analog signal the color data read from the color table which makes the index the data which it is and are supplied to an address input (A) and this color table for generating the analog color video signal of R, G, and B for color CRT display 50. Since there is a display mode of a 256 color coincidence display by the VGA specification at 320x200 dots, in order to support this display mode, 256 color registers are contained in the color table. each color register -- R, G, and B -- a total of the 18-bit color data which consist of 6 bits about each is stored. The color data stored in the selected color register are changed into Analogs R and G and B signal by the D/A converter, and are supplied to CRT display 50. The value of the color data set as a color table is determined by the write-in data from CPU1 supplied to the data input (D) of RAMDAC30.

[0031] The display controller 10 consists of the clock control circuit 11, the display timing control circuit 12, the PARARETA register county 13, the address control circuit 14, the display address control circuit 15, the raster operation control circuit 16, the parallel/serial-conversion circuit (P/S) 17, the memory control circuit 18, a color palette table 19, a multiplexer 20, and a flat pallet control circuit 21 like illustration. The function of each [these] circuit is as follows.

[0032] The clock control circuit 11 generates the basic clock BCK, 2 dividing clock VD2LD, and the alphabetic character unit clock CRCK based on the clock OSC from a system bus 2. The basic clock BCK is a clock used as the criteria of circuit actuation of a display controller 10. 2 dividing clock VD2LD is the clock (BCK/2) which carried out 2 dividing of the basic clock BCK. The alphabetic character unit clock CRCK is a clock in which the longitudinal direction size (8 dots) of one character (for example, 8x12 dots) is shown.

[0033] The display timing control circuit 12 is a part which makes the description of this invention, and controls the display timing of flat panel DIPUREI 40 and CRT display 50. That is, the display timing control circuit 12 generates the various control signals (Horizontal Synchronizing signal HSYNC, Vertical Synchronizing signal VSYNC) for controlling the various control signals (Horizontal Synchronizing signal LP, Vertical Synchronizing signal FP, and shift clock SCK) for controlling the display timing of flat panel DIPUREI 40, and the display timing of CRT display 50 based on the timing information set as the basic clock BCK, 2 dividing clock VD2LD, and the alphabetic character unit clock CRCK and the PARARETA register county 13 from the clock control circuit 11. The shift clock SCK to flat panel DIPUREI 40 is used as a data shift signal for shifting and incorporating an indicative data in a flat-panel display 40. Furthermore, the display timing control circuit 12 publishes the interrupt request signal (IRQ) over CPU1. About the detail of the circuitry of this display timing control circuit 12, it mentions later with reference to drawing 2 thru/or drawing 4 .

[0034] The parameter register county 13 holds the display mode of flat panel DIPUREI 40 and CRT display 50, and various PARARETA for specifying display timing etc. This PARARETA is given from CPU1 through a data bus (D 15-0). The read/write of PARARETA to the parameter register county 13 is controlled by the I/O lead signal (I/O R) and the I/O light signal (I/O W).

[0035] The address control circuit 14 generates the memory address for carrying out read/write access of the image memory (VRAM) 25. When writing an indicative data in an image memory (VRAM) 25, the

address (SA 19-0) given from CPU1 is changed into the memory write-in address by the address control circuit 14, and is supplied to the address port (MADDR) of an image memory (VRAM) 20. On the other hand, when reading an indicative data from an image memory (VRAM) 25, sequential supply of the memory lead address is carried out from the address control circuit 14 in the address port (MADDR) of an image memory (VRAM) 20 at the bottom of control of the display address control circuit 15. Moreover, the address control circuit 14 also generates the light address W1 when writing color data in RAMDAC30.

[0036] The raster operation control circuit 16 has the function which writes the data supplied from CPU1 through a data bus (D 15-0) as an indicative data in an image memory (VRAM) 25, and the drawing function which performs various operations to the indicative data stored in the image memory (VRAM) 25. At the time of drawing, the raster operation control circuit 16 performs predetermined logical operation to the indicative data read from the image memory (VRAM) 25, processes data, and writes the processed data in an image memory (VRAM) 25 again. The contents of the drawing operation are controlled by the operation parameter set as the parameter register county 13.

[0037] The parallel/serial-conversion circuit (P/S) 17 carries out parallel/serial conversion of the 8 bit data read from four planes of each of an image memory (VRAM) 20 to serial data, in order to start the 32 bits (8 pixels) indicative data read from an image memory (VRAM) 25 at once one by one per 4-bit pixel.

[0038] The memory control circuit 18 is for carrying out the access control of the image memory (VRAM) 20, and controls generating of the various control signals CONT (a write enable signal, an output enable signal, a row address strobe signal, column-address strobe signal, etc.). Generating actuation of a control signal CONT is controlled by the memory lead signal (MEMR) and memory light signal (MEMW) from CPU1. Moreover, the memory control circuit 18 generates an I/O-channel ready signal (IOCHRDY), in order to extend the bus cycle of CPU1.

[0039] The color palette control circuit 19 is for determining the color attribute of the indicative data of 4 bits per pixel outputted from the parallel/serial-conversion circuit (P/S) 17, and is equipped with the color palette table which inputs the indicative data of 4 bits per pixel as an index. 16 color palette registers are prepared in this color palette table, and the 6-bit color palette data for specifying the color attribute of an indicative data are stored in each color palette register. Color palette data are written in by CPU1 through a data bus (D 15-0). 2 bits outputted from the color selection register of color palette control circuit 19 built-in are added to the 6-bit data stored in the color palette register chosen by the indicative data, and the data which are 8 bits in total are outputted to them. These 8 bit data are supplied to the address multiplexer 20 as a CRT video data while they are supplied to the flat pallet controller 21. This 8-bit CRT video data is used as the lead address R1 of RAMDAC30.

[0040] The address multiplexer 20 chooses one side of the lead address R1 and the light address W1, and supplies it to the address input (A) of RAMDAC30. Selection actuation of the lead address R1 and the light address W1 is controlled by the lead signal (RD) and light signal (WR) which are outputted from the flat pallet control circuit 21 for read/write control of RAMDAC30.

[0041] The flat pallet control circuit 21 generates the color or the gray shade video data FVD for flat-panel display 40 by emulating the color data of RAMDAC30 to flat-panel displays 40. Moreover, the flat pallet control circuit 21 controls read/write actuation of RAMDAC30. The configuration of the Horizontal Synchronizing signal generating circuit established in the display timing control circuit 12 which makes the description of this invention is shown in drawing 2.

[0042] This Horizontal Synchronizing signal generating circuit generates Horizontal Synchronizing signal HSYNC for CRT display 50, Horizontal Synchronizing signal LP for flat-panel display 40, and the shift clock SCK. The circuit for generating Horizontal Synchronizing signal HSYNC for CRT display 50 consists of the level total register 111, the CRT level timing counter 112, the CRT horizontal synchronization starting position register 113, a CRT horizontal synchronization termination location register 114, comparators 115-117, and a Horizontal Synchronizing signal generation flip-flop 118 like

the conventional configuration shown in drawing 6 .

[0043] The circuit for generating Horizontal Synchronizing signal LP for flat-panel display 40 consists of the flat level timing counter 301, the flat Horizontal Synchronizing signal starting position register 302, the flat Horizontal Synchronizing signal termination location register 303, the shift clock termination location register 304, the display enabling generation circuit 305, a load signal generation circuit 306, a comparator 307,308, and a flat Horizontal Synchronizing signal generation flip-flop 310.

[0044] The flat level timing counter 301 counts the horizontal scanning timing of a flat-panel display 40 per 2 dots per pixel synchronizing with 2 dividing clock VD2LD. Thus, because the flat-panel display 40 is constituted so that the data for 2 dots may be incorporated by coincidence in which case of FLT1S and FLT2S, it usually counts in the unit of 2 dots per pixel. The count initial value "00" of this flat level timing counter 301 is loaded to the flat level timing counter 301 synchronizing with the basic clock BCK, when the load signal HLD is outputted from the load signal generation circuit 306.

[0045] The timing information which shows a horizontal synchronization starting position is stored in the flat Horizontal Synchronizing signal starting position register 302. This timing information is set up by BIOS program execution by CPU1. The timing information which shows a horizontal synchronization termination location is stored in the flat horizontal synchronization starting position register 303. This timing information is also set up by BIOS program execution by CPU1.

[0046] The display enabling generation circuit 305 generates the display enable signal which shows during a horizontal display period on the basis of the display start signal SCKST outputted from a comparator 115. The load signal generation circuit 306 generates the load signal HLD on the basis of the display termination to which a display enable signal is turned off. When the count output HTMC of the flat level timing counter 301 and the value of a comparator 307 of the flat Horizontal Synchronizing signal starting position register 302 correspond, it outputs a coincidence signal. When the count output HTMC of the flat level timing counter 301 and the value of a comparator 308 of the flat Horizontal Synchronizing signal termination location register 303 correspond, it outputs a coincidence signal.

[0047] The flat Horizontal Synchronizing signal generation flip-flop 310 is for outputting flat Horizontal Synchronizing signal LP, is set with the coincidence output of a comparator 307, and is reset with the coincidence output of a comparator 308.

[0048] Thus, the Horizontal Synchronizing signal generating circuit constituted operates as follows. Here, it explains taking the case of the display action of the flat display 40 of 640x480 dots of resolution corresponding to a VGA specification.

[0049] A display is performed scanning 1 dot at a time on the right from the left horizontally. The count of the horizontal number of alphabetic characters is performed by the CRT level timing counter 112, and it counts up with the alphabetic character unit clock CRCK. If the counter value of the CRT level timing counter 112 amounts to 80 characters, the display of the 1st line will be that it is ended. At this time, initial value "00h" is loaded by the load signal HLD made from the load signal generating circuit 306, and actuation of the flat level timing counter 301 starts. 2 dividing clock VD2LD is the enable signal of a counter 301, and as mentioned above, it is the period of 2 dots per pixel.

[0050] A counter 301 counts up with 00, 01, and --, and goes, if it becomes equal to the value set as the flat Horizontal Synchronizing signal starting position register 302, a comparator 307 will output "1" and the flat Horizontal Synchronizing signal generation flip-flop 310 will be set with the following basic clock BCK. Thereby, Horizontal Synchronizing signal LP starts. Furthermore, a counter 301 continues count-up, if it becomes equal to the value set as the Horizontal Synchronizing signal termination location register 303, a comparator 308 will output "1" and the flat Horizontal Synchronizing signal generation flip-flop 310 will be reset with the following basic clock BCK. Thereby, flat Horizontal Synchronizing signal LP falls.

[0051] A shift clock generation circuit consists of the shift clock termination location register 304, a comparator 309, a shift clock enabling flip-flop 311, and a shift clock generation flip-flop 312.

[0052] The timing information which shows the termination location of the shift clock SCK is stored in

the shift clock termination location register 304. This timing information is set up by BIOS program execution by CPU1. When the count output HTMC of the flat level timing counter 301 and the value of a comparator 309 of the shift clock termination location register 304 correspond, it outputs a coincidence signal.

[0053] The shift clock enabling flip-flop 311 is for generating shift clock enable signal SCKEN, by the display enable signal, it is maintained by the set condition during a display period, and it is reset with the coincidence output of a comparator 309 after display period termination. The shift clock generation flip-flop 312 generates the shift clock SCK based on the period, 2 dividing clock VD2LD, and the basic clock BCK of shift clock enable signal SCKEN's enabling. Generation actuation of the shift clock SCK is performed as follows.

[0054] If a display is started, the shift clock enabling flip-flop 311 will be set [enabling "1" and] for a display enable signal by this, and shift clock enable signal SCKEN of "1" will be generated. During the period when this shift clock enable signal SCKEN of "1" is generated, 2 dividing clock VD2LD is latched to the shift clock generation flip-flop 312 to the timing of the basic clock BCK, and, thereby, the shift clock SCK of the same period as 2 dividing clock VD2LD is outputted from the shift clock generation flip-flop 312. Moreover, after display termination, if the flat level timing counter 301 starts count actuation and the counter value becomes equal to the value of the shift clock termination location register 304 by inputting the load signal HLD, a comparator 309 will output "1." And shift clock enable signal SCKEN is set to "0" to the timing of the following basic clock BCK, the shift clock generation flip-flop 312 is further reset to the timing of the following basic clock BCK, and generating of the shift clock SCK is suspended until the display of next Rhine starts. An example of the concrete configuration of the Horizontal Synchronizing signal generation flip-flop 310 is shown in drawing 3.

[0055] Like illustration, the Horizontal Synchronizing signal generation flip-flop 310 consists of the AND gate 401,402, JK flip-flop 403, the OR gate 404,405, NAND gate 406, and D flip-flop 407. The output of a comparator 307 is inputted into the 1st input of the AND gate 401, and 2 dividing clock VD2LD is inputted into the 2nd input. The output of this AND gate 401 is supplied to J input of JK flip-flop 403. The output of a comparator 308 is inputted into the 2nd input of the AND gate 402, and 2 dividing clock VD2LD is inputted into the 2nd input. The output of this AND gate 402 is supplied to K input of JK flip-flop 403.

[0056] The basic clock BCK is inputted into clocked into CK of JK flip-flop 403, and the reversal Q output (QN) of the JK flip-flop 403 is supplied to the 1st input of the OR gate 404. 2 dividing clock VD2LD is inputted into the 2nd input of this OR gate 404, and the output of the OR gate 404 is outputted to the 1st input of NAND gate 406. The output of the OR gate 405 is inputted into the 2nd input of this NAND gate 406. The output of NAND gate 406 is supplied to D input of D flip-flop 407. The basic clock BCK is supplied to clocked into CK of this D flip-flop 407. Q output of D flip-flop 407 is supplied to a flat-panel display 40 as Horizontal Synchronizing signal LP. The reversal Q output (QN) of D flip-flop 407 is supplied to the 1st input at the 2nd input of the OR gate 405 where the reversal signal of 2 dividing clock VD2LD is inputted. At the time of VD2LD=1, the OR gate 404,405 and NAND gate 406 constitute the selector, the reversal Q output (QN) of JK flip-flop 403 is chosen, and when it is VD2LD=0, the reversal Q output (QN) of JK flip-flop 407 is chosen.

[0057] An example of the concrete configuration of the display enabling generation circuit 305, the shift clock enabling flip-flop 311, and the shift clock generation flip-flop 312 is shown in drawing 4.

[0058] The display enabling generation circuit 305 consists of JK flip-flops 501. The display start signal SCKST is inputted into J input of JK flip-flop 501, the load signal HLD is supplied to K input, and the basic clock BCK is supplied to a clock CK input.

[0059] The shift clock enabling flip-flop 311 consists of the AND gate 601, JK flip-flop 602, and the OR gate 603. The output of a comparator 309 is inputted into the 1st input of the AND gate 601, and 2 dividing clock VD2LD is inputted into the 2nd input. The output of this AND gate 601 is supplied to K input of JK flip-flop 602. The load signal HLD is supplied to J input of this JK flip-flop 602, and the basic

clock BCK is supplied to a clock CK input. Q output of this JK flip-flop 602 is supplied to the 1st input of the OR gate 603. Display enable signal FVDTEN which is Q output of JK flip-flop 501 at the 2nd input of this OR gate 603 is inputted, and the output of the OR gate 603 is supplied to the shift clock generation flip-flop 312 as shift clock enable signal SCKEN.

[0060] The shift clock generation flip-flop 312 consists of the AND gate 701 and D flip-flop 702. Shift clock enable signal SCKEN is inputted into the 1st input of the AND gate 701, and 2 dividing clock VD2LD is inputted into the 2nd input. The output of this AND gate 701 is supplied to D input of D flip-flop 702. The basic clock BCK is supplied to the clock CK input of this D flip-flop 702, and Q output of D flip-flop 702 is outputted as a shift clock SCK. Next, with reference to the timing chart of drawing 5, generation actuation of Horizontal Synchronizing signal LP and the shift clock SCK is explained.

[0061] This timing chart shows the timing of Horizontal Synchronizing signal LP in the graphics mode of 640 dots of horizontals, and the shift clock SCK. this timing chart -- setting -- HCNT 07-00 -- the signal shows the counted value of the CRT level timing counter 112 which counts horizontally per alphabetic character (here 8 dots = one character), and counts it to 0-87 characters. Since only a viewing area is set to "1" among 0-87 characters and HDSP(s) are 640 dots of horizontals, and 8 dots per character here, even 0-79 characters become a viewing area. FVD is an indicative data for flat-panel display 40 outputted from the flat pallet control circuit 21 of drawing 1, and is outputted to coincidence by 2 dots. These 2 dots correspond to odd dots of the same scan line, and even dots, when a flat-panel display 40 is FLT1S, and when a flat-panel display 40 is FLT2S, they corresponds to 1 dot of each of an upper screen and a bottom screen. FVDTEN is a display enable signal, and it is set up here so that it may become INEBU during the period to 0-83 characters in consideration of delay of an indicative data FVD. HTMC 05-00 -- a signal is the counter value of the flat level timing counter 301, as mentioned above, after HCNT 07-00 shows "83", the load signal HLD is inputted into the flat level timing counter 301 to the timing of the 2nd 2 dividing clock VD2LD, and initial value "00" is loaded to the level timing counter 301 to the timing of the following basic clock BCK. Henceforth, synchronizing with 2 dividing clock VD2LD, the level timing counter 301 is counted up and goes.

[0062] Hereafter, the case where a value "02h" is set up is taken for an example, and generation actuation of Horizontal Synchronizing signal LP and generation actuation of the shift clock SCK are explained to a value "06h" and the flat Horizontal Synchronizing signal termination location register 303 to a value "0Eh" and the shift clock termination location register 304 at a value "53h" (53h= horizontal total number of alphabetic characters 88 - 5), and the flat Horizontal Synchronizing signal starting position register 302 at the level total register 111. First, generation actuation of the shift clock SCK by the circuit of drawing 4 is explained.

[0063] When a display is started, it is set to display start signal SCKST=1, and JK flip-flop 501 of the display enabling generation circuit 305 is set by this, and it is set to display enable signal FVDTEN=1. Display enable signal FVDTEN is still "1" until the reset condition (HLD=1) of JK flip-flop 501 is satisfied. When it comes to display enable signal FVDTEN=1, shift clock enable signal SCKEN of "1" is outputted from OR circuit 603. As for shift clock enable signal SCKEN of "1", VD2LD and an AND are taken by the AND gate 701. And that to which only the 1 basic clock BCK delayed the AND result is outputted from D flip-flop 702 as a shift clock SCK. That is, the reversal signal of VD2LD serves as the shift clock SCK at the time of shift clock enable signal SCKEN=1. As mentioned above, the shift clock SCK continues being outputted during a display period. Next, a viewing area finishes and the actuation which stops the shift clock SCK is explained.

[0064] If the load signal HDL of "1" is inputted, JK flip-flop 501 will be reset and it will be set to display enable signal FVDTEN "0." Moreover, JK flip-flop 602 will be set if the load signal HDL of "1" is inputted, and the Q output is set to "1." For this reason, shift clock enable signal SCKEN which is the output of the OR gate 603 does not change with "1."

[0065] On the other hand, by being set to load signal HLD=1, initial value "00" is loaded to the flat level timing counter 301, and count actuation of the flat level timing counter 301 is started. When counted

value HTMC of the flat level timing counter 301 is in agreement with the value "02h" of the shift clock termination location register 304, the coincidence signal of "1" is outputted from a comparator 309. VD2LD and an AND are taken by the AND gate 601, and, as for this coincidence signal of "1", JK flip-flop 602 is reset by that AND output. Consequently, shift clock enable signal SCKEN which is the output of the OR gate 603 is set to "0", and the shift clock SCK is suspended. Thus, the set point of the shift clock termination location register 304 can adjust the halt location of SCK per VD2LD. Next, generation actuation of Horizontal Synchronizing signal LP by the circuit of drawing 3 is explained.

[0066] As mentioned above, the flat level timing counter 301 will start a count, if the load signal HLD of "1" is inputted. If this counted value HTMC is in agreement with the value "06h" of the Horizontal Synchronizing signal starting position register 302, the coincidence signal of "1" will be outputted from a comparator 307. VD2LD and an AND are taken in the AND gate 401, and when that AND is "1", as for this coincidence signal of "1", JK flip-flop 403 is set. Consequently, QN output (FLTLP signal) of JK flip-flop 403 is set to "0." The selector which consists of the OR gate 404,405 and NAND gate 406 chooses QN output of JK flip-flop 403 at the time of VD2LD=0. For this reason, when it comes to FLTLP=0, only at the time of VD2LD=0, the output of NAND gate 407 is set to "1", and Horizontal Synchronizing signal LP of "1" is outputted from Q output of D flip-flop 407 after the 1 basic clock BCK. Since the reversal Q output (QN) of D flip-flop 407 is chosen at the time of VD2LD=1, the output of NAND gate 407 is maintained by "1."

[0067] Furthermore, if the flat level timing counter 301 continues a count and the counted value HTMC is in agreement with the value "0Eh" of the Horizontal Synchronizing signal termination location register 303, the coincidence signal of "1" will be outputted from a comparator 308. VD2LD and an AND are taken in the AND gate 402, and when that AND is "1", as for this coincidence signal of "1", JK flip-flop 403 is reset. Consequently, QN output (FLTLP signal) of JK flip-flop 403 is set to "1." Henceforth, like the case of FLTLP=0, the OR gate 404,405 and NAND gate 406 operate, and Horizontal Synchronizing signal LP is set to "0."

[0068] As mentioned above, in this example, that generating location and a halt location are controlled by timing information by which Horizontal Synchronizing signal LP for flat-panel display 40 was set as the Horizontal Synchronizing signal starting position register 302 and the Horizontal Synchronizing signal termination location register 303, and that halt location is controlled by timing information by which the shift clock signal SCK was set as the shift clock termination location register 304.

[0069] For this reason, the timing of Horizontal Synchronizing signal LP and the shift clock SCK can be set as arbitration by changing the set point of these registers. Therefore, display timing control which suited various flat-panel displays can be performed, without preparing two or more circuits where timing differs. Furthermore, since the count of horizontal scan timing is performed by the flat level timing counter 301 synchronizing with the clock (here clock VD2LD of the period of 2 dots per pixel) in which not an alphabetic character unit but the horizontal scan timing of a flat-panel display 40 is shown per dot, it can control the timing of Horizontal Synchronizing signal LP and the shift clock SCK with a sufficient precision.

[0070] Moreover, about the flat-panel display which does not need to output the shift clock SCK too much, the excessive output of the shift clock SCK can also be lost by setting the set point of the shift clock termination location register 304 to "00h."

[0071]

[Effect of the Invention] As explained in full detail above, according to this invention, the timing of a Horizontal Synchronizing signal and a shift clock can be set now as arbitration, and it becomes possible to perform display timing control which suited flat-panel displays various by easy circuitry.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the configuration of the whole display control concerning one example of this invention.

[Drawing 2] Drawing showing an example of the display timing control circuit in the display control in this example.

[Drawing 3] the flat-panel display prepared in the display timing control circuit of drawing 2 -- service water -- the circuit diagram showing the important section of the Taira synchronizing signal generating circuit.

[Drawing 4] The circuit diagram showing the important section of the shift clock generation circuit for flat-panel displays established in the display timing control circuit of drawing 2 .

[Drawing 5] The timing chart explaining actuation of the display timing control circuit of drawing 2 .

[Drawing 6] The circuit diagram showing the configuration of the conventional display timing control circuit.

[Drawing 7] The timing chart for explaining how the delay shift clock generated from the conventional display timing control circuit is used within a flat-panel display.

[Description of Notations]

12 [-- A Horizontal Synchronizing signal termination location register, 304 / -- A shift clock termination location register, 310 / -- A flat Horizontal Synchronizing signal generation flip-flop, 311 / -- A shift clock enabling flip-flop, 312 / -- Shift clock generation flip-flop.] -- A display timing control circuit, 301 -- A flat level timing counter, 302 -- A Horizontal Synchronizing signal starting position register, 303

[Translation done.]